



MS32F031A6 数据手册 V1.2.3



晟矽微电 32 位 Arm Cortex-M0 内核单片机

32 位 ARM Cortex-M0 内核 FLASH 型 MCU，最高 48MHz 主频，32KB FLASH ROM，4K SRAM，12 位高速 ADC，5 通道 DMA，1 个 16 位 7 通道高级 Timer (支持 6 路 PWM)，1x32 位+3x16 位通用定时器，1 路 UART，1 路 SPI，1 路 I2C，CRC，RTC 日历，2 个 CMP，3 个 OPA，SWD 调试

主要特性

CORE

- ◇ 32 位 ARM Cortex-M0 内核
- ◇ 最高主频 48MHz

存储器

- ◇ 片上 32K 字节 FLASH 程序存储器
- ◇ 片上 4K 字节 SRAM,支持硬件奇偶校验
- ◇ 支持代码加密保护功能

复位与电源管理

- ◇ 数字和 IO 供电: 2.0~5.5V
- ◇ 模拟电源供电: VDDA=VDD~5.5V
- ◇ 上电/断电复位(POR/PDR)、
- ◇ 可编程电压监测器(PVD)
- ◇ 低功耗模式: 睡眠、停止和待机模式
- ◇ VBAT 为 RTC 和备份域寄存器供电

时钟管理

- ◇ 片上高精度 16MHz RC 高速振荡器
- ◇ 片上 40KHz 低功耗 RC 低速振荡器
- ◇ 带校准功能的 32.768 kHz RTC 晶体振荡器
- ◇ 4~32MHz 晶体振荡器
- ◇ PLL 时钟，最高输出 48MHz，支持多档位频可调

I/O

- ◇ 最多 39 个 FAST I/O，最多 25 个 I/O 支持 5V 耐受
- ◇ 所有 I/O 口可以映像到 16 个外部中断

定时器/计数器

- ◇ 1 个 16 位 7 通道高级控制定时器，支持 6 路 PWM 输出，带死区控制及紧急停止
- ◇ 1 个 32 位定时器和 1 个 16 位定时器，支持 4 路输入捕获和比较输出
- ◇ 1 个 16 位定时器，支持 2 路输入捕获和比较输出，1 路比较反向输出，带死区控制及紧急停止
- ◇ 1 个 16 位定时器，支持输入捕获、比较输出和比较反向输出，带死区控制及紧急停止
- ◇ 1 个 16 位定时器，支持输入捕获和比较输出
- ◇ 2 个看门狗定时器: IWDG 和 WWDG
- ◇ 1 个 24 位递减计数 SysTick 定时器

12 位高精度 ADC

- ◇ 12 位高精度逐次逼近型 ADC
- ◇ 多达 10 个外部通道

- ◇ 6 个内部通道: 温度传感器, VREF, VBAT/2, 3 个运算放大器输出
- ◇ 转换范围: 0~VDDA
- ◇ 工作电压范围: 2.4V~VDDA

通讯接口

- ◇ 1 个 USART 接口，支持主同步 SPI 模式，ISO7816，LIN，IrDA，自动波特率和唤醒功能
- ◇ 1 个 I2C 接口，支持快速模式+ (1Mbps)
- ◇ 1 个 SPI 接口，支持 4~16 位的数据格式

CRC-32 计算单元

DMA 控制器

- ◇ 支持 5 个 DMA 通道
- ◇ 支持外设: ADC、SPI、I2C、USART、TIMEx (x = 1, 2, 3, 16, 17)

RTC 日历

- ◇ 闹钟中断功能
- ◇ 从停止，待机模式中周期唤醒

2 个高性能电压比较器

- ◇ 1 个比较器正相 6 通道可选 (3 外部管脚+3 内部运放输出)
- ◇ 1 个电压比较器正相 4 通道可选 (1 外部管脚+3 内部运放输出)
- ◇ 反相可选择内部多档位比较电压，且有 SMT 档位选择
- ◇ 输出带数字滤波，极性选择，引发中断，与定时器产生联动效果，同时作为高级定时器的刹车输入信号
- ◇ 带有自校准功能

3 个高增益运算放大器

- ◇ 内部放大倍数多档位可选
- ◇ 负端与输出接口丰富，可以适配不同应用
- ◇ 带有自校准功能

96 位的芯片唯一码

串行单线调试(SWD)接口

工作环境温度

- ◇ -40°C~105°C

封装形式

- ◇ LQFP48/32、QFN32

本公司保留对以下所有产品在可靠性、功能和设计方面的改进作进一步说明的权利。

同时保留在未通知的情况下，对本文档做更改的权利。



1 产品简介

1.1 概述

本产品使用高性能的 ARM Cortex-M0 32 位内核，最高工作频率 48MHz，内置高速存储器，丰富的增强 I/O 端口和联接到一条 APB 总线的外设。所有型号的器件都包含 1 个 12 位的 ADC、5 个通用 16 位定时器、1 个高级 PWM 定时器、2 个电压比较器和 3 个运算放大器，还包含标准和先进的通信接口：1 个 I2C 接口和 SPI 接口、1 个 USART 接口。

本产品供电电压为 2.0V 至 5.5V，温度范围-40°C 至+105°C。一系列的省电模式保证低功耗应用的要求。

本产品提供包括 32 脚和 48 脚共 2 种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- ◇ 电机驱动和应用控制
- ◇ 医疗和手持设备
- ◇ PC 游戏外设和 GPS 平台
- ◇ 工业应用：可编程控制器(PLC)、变频器、打印机和扫描仪
- ◇ 警报系统、视频对讲、和暖气通风空调系统等

注：

本文给出了产品的订购信息、功能概述、电气特性和封装特性。有关完整的产品详细信息，请参考相关章节。
有关 Cortex®-M0 内核的相关信息，请参考《Cortex®-M0 技术参考手册》。



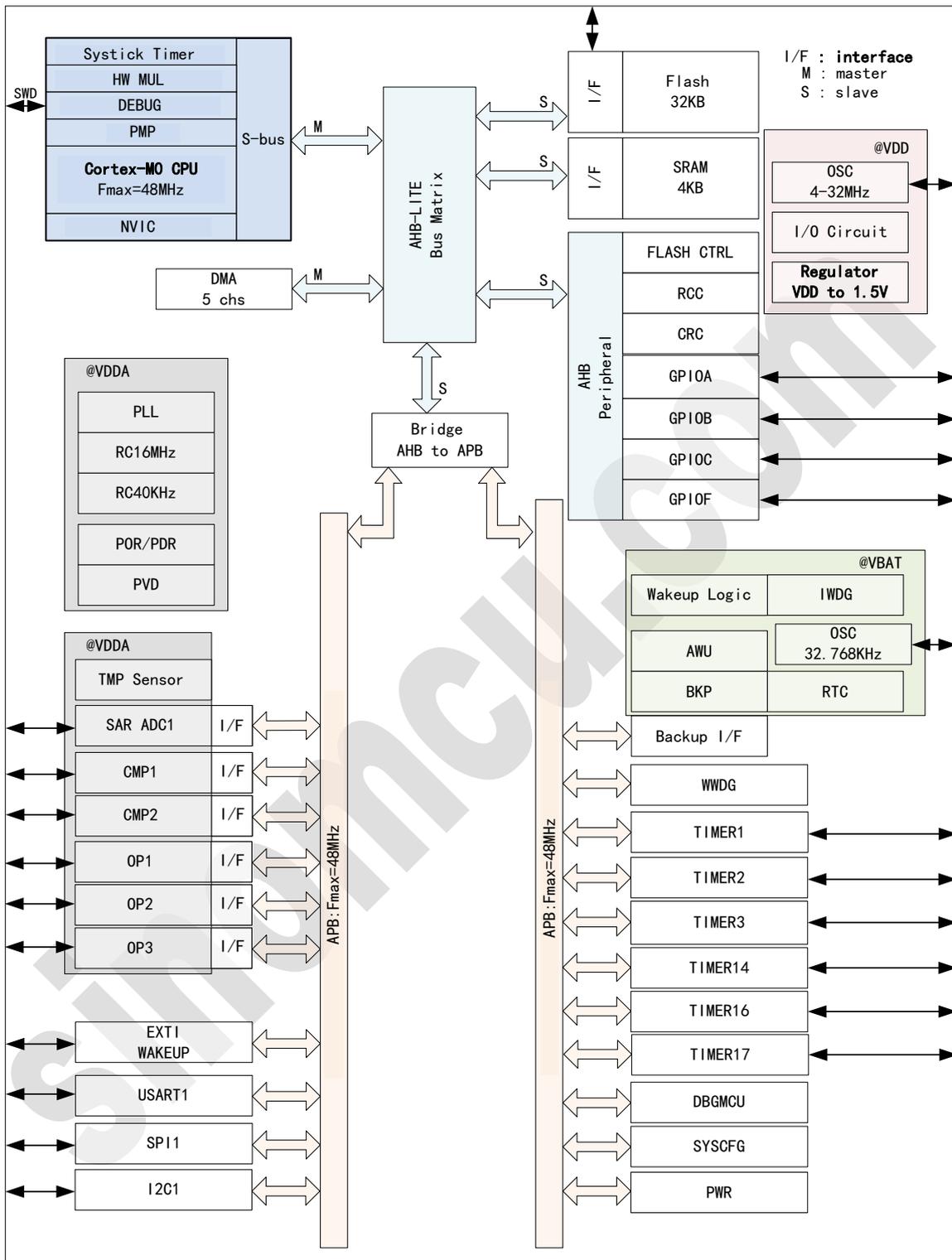
2 产品器件对比

产品功能和外设配置

产品型号		MS32F031A6A0ZC/YA	MS32F031A6A0ZW
外围接口			
闪存-K 字节		32	
SRAM-K 字节		4	
定时器	通用目的	1 (32-bit) 4 (16-bit)	1 (32-bit) 4 (16-bit)
	高级控制	1	1
通讯接口	SPI	1	1
	I2C	1	1
	USART	1	1
RTC 日历		1	1
12 位同步 ADC(通道数)		1 16channels (10 ext + 6 int)	1 16 channels (10 ext + 6 int)
电压比较器		1 (3 channel positive input) 1 (1 channel positive input)	1 (3 channel positive input) 1 (1 channel positive input)
运算放大器		3	3
GPIOs		25	39
CPU 频率		48 MHz	
工作电压		2.0 to 5.5 V	2.0 to 5.5 V
工作温度		周围环境温度: -40 to +105 °C 结温温度: -40 to +125 °C	
封装		LQFP32/QFN32	LQFP48



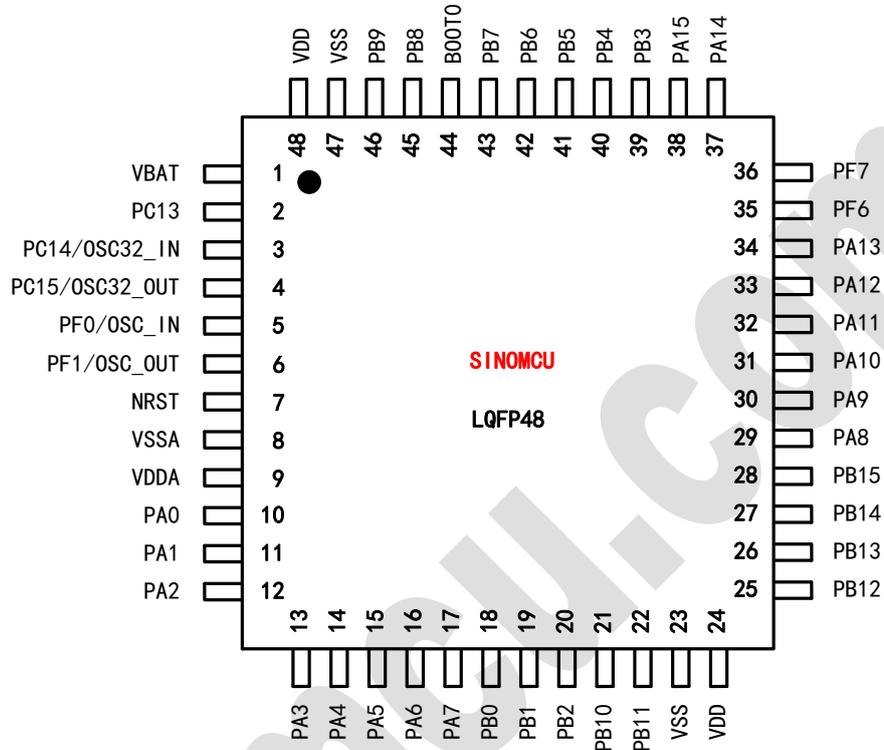
系统框图



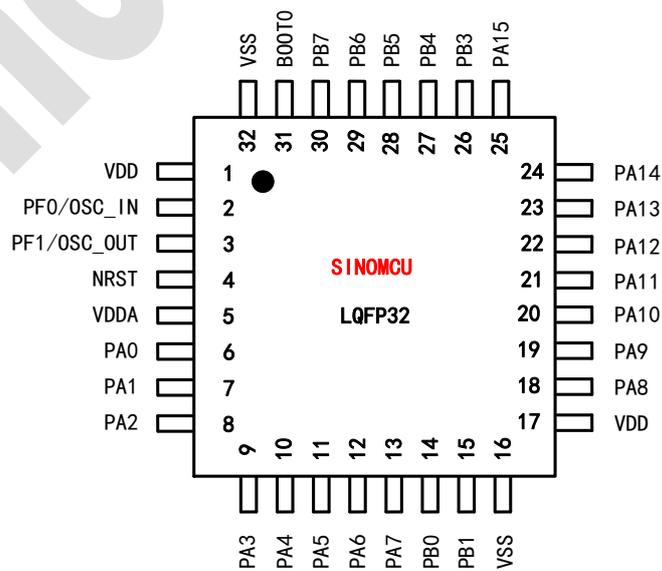


3 引脚定义

3.1 MS32F031A6A0ZW -LQFP48

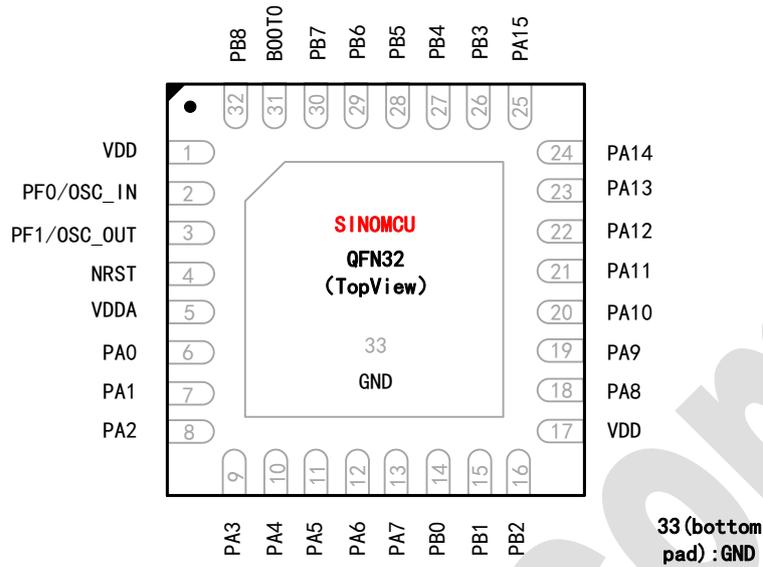


3.2 MS32F031A6A0ZC-LQFP32





3.3 MS32F031A6A0YA/A0YT -QFN32



MS32F031A6 引脚定义

引脚封装			引脚名称	类型	I/O 结构	主功能	可选的复用功能	
LQFP48	LQFP32	QFN32					默认复用功能	模拟或附加功能
1	-	-	VBAT	S	-	VBAT	备份域电源	
2	-	-	PC13	I/O	TC	PC13	-	RTC_TAMP1, RTC_TS, RTC_OUT, WKUP2 OPAMP3_OUT
3	-	-	PC14	I/O	TC	PC14	-	OSC32_IN OPAMP3_INN
4	-	-	PC15	I/O	TC	PC15	-	OSC32_OUT OPAMP3_INP
5	2	2	PF0/OSC_IN	I	FT	PF0	USART1_TX	OSC_IN
6	3	3	PF1/OSC_OUT	O	FT	PF1	USART1_RX	OSC_OUT
7	4	4	NRST	I/O	RST	NRST	外部复位输入 / 内部复位输出 (active low)	
8	-	-	V _{SSA}	S	-	V _{SSA}	模拟地	
9	5	5	V _{DDA}	S	-	V _{DDA}	模拟电源	
10	6	6	PA0/WKUP	I/O	TTa	PA0	TIM2_CH1_ETR, USART1_CTS	ADC_IN0, RTC_TAMP2, WKUP1, CMP1_INP1
11	7	7	PA1	I/O	TTa	PA1	TIM2_CH2, USART1_RTS	ADC_IN1, CMP1_INP2



引脚封装			引脚名称	类型	I/O 结构	主功能	可选的复用功能	
LQFP48	LQFP32	QFN32					默认复用功能	模拟或附加功能
12	8	8	PA2	I/O	TTa	PA2	TIM2_CH3, USART1_TX	ADC_IN2, CMP1_INP3
13	9	9	PA3	I/O	TTa	PA3	TIM2_CH4, USART1_RX	ADC_IN3 CMP1_INN
14	10	10	PA4	I/O	TTa	PA4	SPI1_NSS, TIM14_CH1, USART1_CK	ADC_IN4, OPAMP2_INP
15	11	11	PA5	I/O	TTa	PA5	SPI1_SCK, TIM2_CH1_ETR	ADC_IN5, OPAMP2_INN
16	12	12	PA6	I/O	TTa	PA6	SPI1_MISO, TIM3_CH1, TIM1_BKIN, TIM16_CH1,	ADC_IN6, OPAMP2_OUT
17	13	13	PA7	I/O	TTa	PA7	SPI1_MOSI, TIM3_CH2, TIM14_CH1, TIM1_CH1N, TIM17_CH1,	ADC_IN7,
18	14	14	PB0	I/O	TTa	PB0	TIM3_CH3, TIM1_CH2N,	ADC_IN8
19	15	15	PB1	I/O	TTa	PB1	TIM3_CH4, TIM14_CH1, TIM1_CH3N	ADC_IN9
20		16	PB2	I/O	TTa	PB2	-	ADC_IN5
21	-	-	PB10	I/O	FT	PB10	TIM2_CH3, I2C1_SCL	-
22	-	-	PB11	I/O	FT	PB11	TIM2_CH4,, I2C1_SDA	-
23	16	-	VSS	S	-	VSS	数字地	
24	17	17	VDD	S	-	VDD	数字电源	
25	-	-	PB12	I/O	FT	PB12	TIM1_BKIN,, SPI1_NSS	-
26	-	-	PB13	I/O	FT	PB13	TIM1_CH1N, SPI1_SCK	-
27	-	-	PB14	I/O	FT	PB14	TIM1_CH2N, SPI1_MISO	-
28	-	-	PB15	I/O	FT	PB15	TIM1_CH3N, SPI1_MOSI	RTC_REFIN
29	18	18	PA8	I/O	FT	PA8	USART1_CK, TIM1_CH1,, MCO	-



引脚封装			引脚名称	类型	I/O 结构	主功能	可选的复用功能	
LQFP48	LQFP32	QFN32					默认复用功能	模拟或附加功能
30	19	19	PA9	I/O	FTf	PA9	USART1_TX, TIM1_CH2, I2C1_SCL	-
31	20	20	PA10	I/O	FTf	PA10	USART1_RX, TIM1_CH3, TIM17_BKIN, I2C1_SDA	-
32	21	21	PA11	I/O	FT	PA11	USART1_CTS, TIM1_CH4,, CMP1_OUT	-
33	22	22	PA12	I/O	FT	PA12	USART1_RTS, TIM1_ETR,, CMP2_OUT	-
34	23	23	PA13	I/O	FT	SWDIO	IR_OUT, SWDIO	-
35	-	-	PF6	I/O	FTf	PF6	I2C1_SCL	-
36	-	-	PF7	I/O	FTf	PF7	I2C1_SDA	-
37	24	24	PA14	I/O	FT	SWCLK	USART1_TX, SWCLK	-
38	25	25	PA15	I/O	FT	PA15	SPI1_NSS, TIM2_CH_ETR,, USART1_RX	-
39	26	26	PB3	I/O	FT	PB3	SPI1_SCK, TIM2_CH2,	-
40	27	27	PB4	I/O	FT	PB4	SPI1_MISO, TIM3_CH1,	CMP2_INN
41	28	28	PB5	I/O	FT	PB5	SPI1_MOSI, I2C1_SMBA, TIM16_BKIN, TIM3_CH2	CMP2_INP, OPAMP1_INP
42	29	29	PB6	I/O	FTf	PB6	I2C1_SCL, USART1_TX, TIM16_CH1N	OPAMP1_INN
43	30	30	PB7	I/O	FTf	PB7	I2C1_SDA, USART1_RX, TIM17_CH1N	OPAMP1_OUT
44	31	31	BOOT0	I	FT	BOOT0	Boot memory selection	
45	-	32	PB8	I/O	FTf	PB8	I2C1_SCL, TIM16_CH1	-
46	-	-	PB9	I/O	FTf	PB9	I2C1_SDA, IR_OUT, TIM17_CH1,	-



引脚封装			引脚名称	类型	I/O 结构	主功能	可选的复用功能	
LQFP48	LQFP32	QFN32					默认复用功能	模拟或附加功能
47	32	-	VSS	S	-	VSS	数字地	
48	1	1	VDD	S	-	VDD	数字电源	

注：I = 输入，O = 输出，S = 电源，HiZ = 高阻

PA 端口功能复用

引脚名	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART1_CTS	TIM2_CH1_ETR	-	-	-	-	-
PA1	-	UART1_RTS	TIM2_CH2	-	-	-	-	-
PA2	-	UART1_TX	TIM2_CH3	-	-	-	-	-
PA3	-	UART1_RX	TIM2_CH4	-	-	-	-	-
PA4	SPI1_NSS	UART1_CK	-	-	TIM14_CH1	-	-	-
PA5	SPI1_SCK	-	TIM2_CH1_ETR	-	-	-	-	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	-	-	TIM16_CH1	-	-
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	-	-
PA8	MCO	UART1_CK	TIM1_CH1	-	-	-	-	-
PA9	-	UART1_TX	TIM1_CH2	-	I2C1_SCL	-	-	-
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	-	I2C1_SDA	-	-	-
PA11	-	UART1_CTS	TIM1_CH4	-	-	-	-	CMP1_OUT
PA12	-	UART1_RTS	TIM1_ETR	-	-	-	-	CMP2_OUT
PA13	SWDIO	IR_OUT	-	-	-	-	-	-
PA14	SWCLK	UART1_TX	-	-	-	-	-	-
PA15	SPI1_NSS	UART1_RX	TIM2_CH1_ETR	-	-	-	-	-

PB 端口功能复用

引脚名	AF0	AF1	AF2	AF3
PB0	-	TIM3_CH3	TIM1_CH2N	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-
PB2	-	-	-	-
PB3	SPI1_SCK	-	TIM2_CH2	-
PB4	SPI1_MISO	TIM3_CH1	-	-
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN	I2C1_SMBA
PB6	UART1_TX	I2C1_SCL	TIM16_CH1N	-
PB7	UART1_RX	I2C1_SDA	TIM17_CH1N	-
PB8	-	I2C1_SCL	TIM16_CH1	-
PB9	IR_OUT	I2C1_SDA	TIM17_CH1	-
PB10	-	I2C1_SCL	TIM2_CH3	-



引脚名	AF0	AF1	AF2	AF3
PB11	-	I2C1_SDA	TIM2_CH4	-
PB12	SPI1_NSS	-	TIM1_BKIN	-
PB13	SPI1_SCK	-	TIM1_CH1N	-
PB14	SPI1_MISO	-	TIM1_CH2N	-
PB15	SPI1_MOSI		TIM1_CH3N	-

PF 端口功能复用

引脚名	AF0	AF1	AF2	AF3
PF0	USART1_TX	-	-	-
PF1	USART1_RX	-	-	-



4 订购信息

产品名称	封装形式	备注
MS32F031A6A0ZW	LQFP48	7x7mm
MS32F031A6A0ZC	LQFP32	7x7mm
MS32F031A6A0YA	QFN32	4x4x0.75mm
MS32F031A6A0YT	QFN32	5x5x0.75mm

注：产品名称中的倒数第两位 x 代表本产品的出货包装信息，最终的具体类型请与我司销售人员确认。

Sinomcu.com



5 功能概述

5.1 ARM Cortex-M0 内核

ARM 的 Cortex-M0 处理器是新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex[®]-M0 是 32 位处理器，提供优异的代码密度和能耗效率。

本产品拥有内置的 ARM 内核，因此它与所有的 ARM 工具和软件兼容。

5.2 内置闪存存储器

最大 32K 字节的内置闪存存储器，用于存放程序和数据。

5.3 内置 SRAM

最大 4K 字节的内置 SRAM。

5.4 嵌套向量中断控制器(NVIC)

本产品内置嵌套向量中断控制器，能够处理多达 32 个可屏蔽中断通道(不包括 16 个 Cortex-M0 的中断线)和 4 个可编程优先级。

- ◇ 紧耦合的 NVIC 能够达到低延迟的中断响应处理
 - ◇ 中断向量入口地址直接进入内核
 - ◇ 紧耦合的 NVIC 接口
 - ◇ 允许中断的早期处理
 - ◇ 处理晚到的较高优先级中断
 - ◇ 支持中断末尾连锁功能
 - ◇ 自动保存处理器状态
 - ◇ 中断返回时自动恢复现场，无需额外指令开销
- 该模块以最小的中断延迟提供灵活的中断管理功能。

5.5 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 21 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；挂起寄存器用于保持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB 的时钟周期。多达 39 个通用 I/O 口连接到 16 个外部中断线。

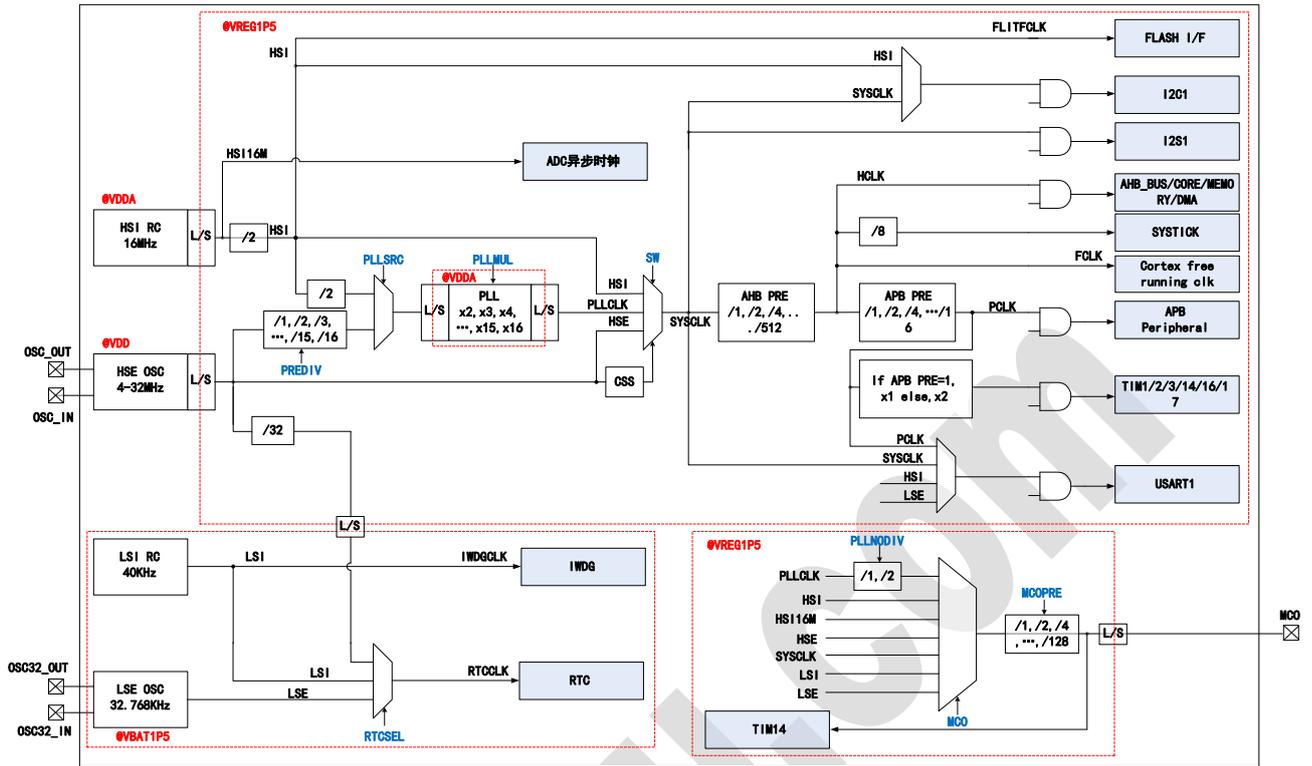
5.6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 16MHz 的 RC 振荡器 2 分频后时钟被选为默认的 CPU 时钟，随后可以选择外部的、具停振监控的 4~32MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的 RC 振荡器，如果使能了中断，将产生相应的软件中断。同样，在需要时可以对 PLL 时钟进行完全的中断管理（间接使用的外部振荡器失效时）。

多个预分频器用于配置 AHB 和高速 APB 区域的频率。AHB 和高速 APB 的最高频率是 48MHz。



时钟框图



5.7 循环冗余校验计算单元 (CRC)

CRC (循环冗余校验) 计算单元使用一个 CRC-32 (以太网) 多项式从一个 32 位的数据字中产生 CRC 码。

在众多的应用中, 基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据 EN/IEC60335-1 标准的规定, 这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名, 并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

5.8 自举模式

在启动时, 通过自举引脚和自举选项控制字可以选择三种自举模式中的一种:

- ◇ 从程序闪存存储器自举
- ◇ 从系统存储器自举
- ◇ 从内部 SRAM 自举

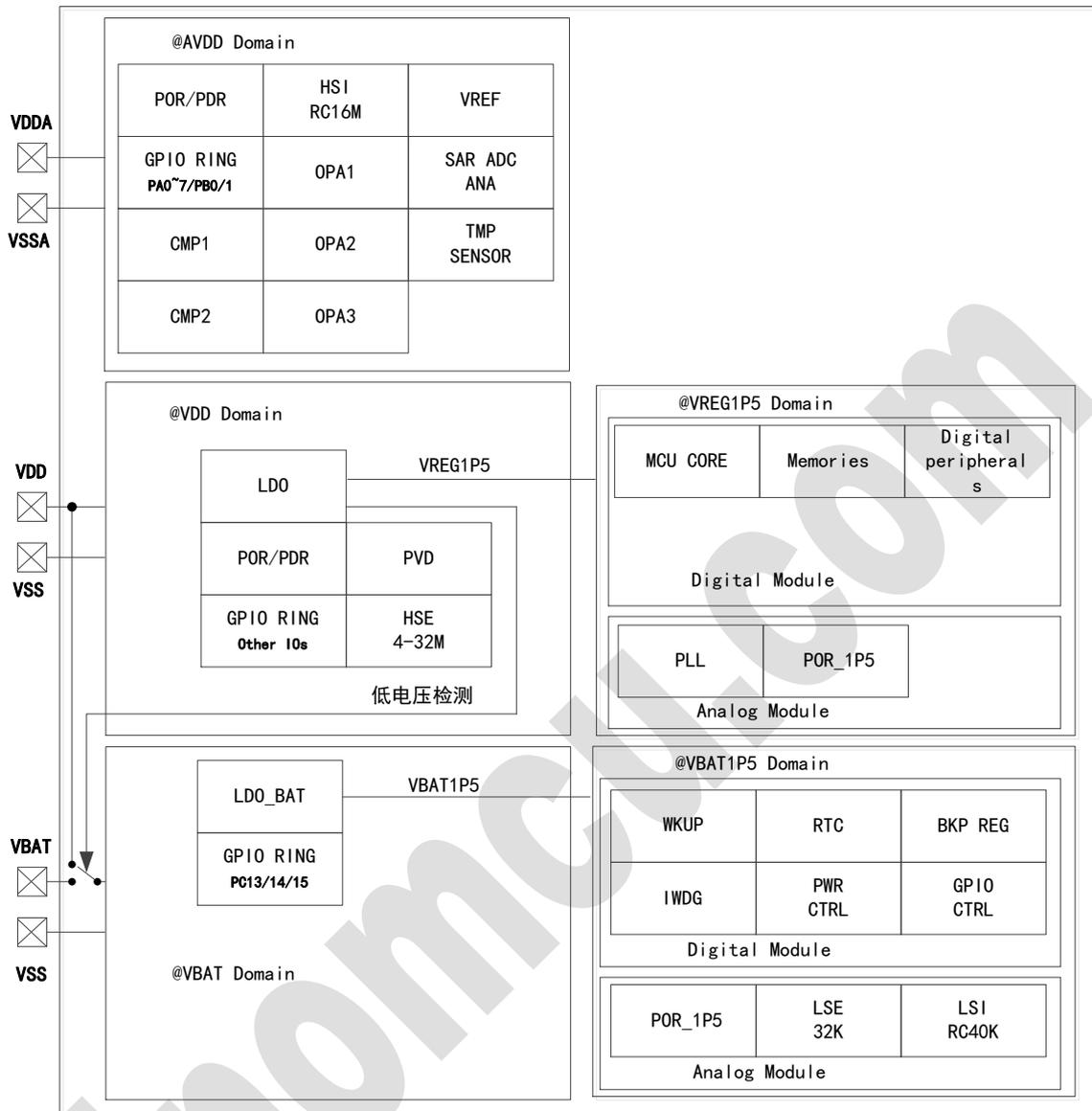
自举加载程序(Bootloader)存放于系统存储器中, 可以通过 USART1 对闪存重新编程。

5.9 供电方案

- ◇ $V_{DD} = 2.0 \sim 5.5V$: V_{DD} 引脚为 I/O 引脚、HSE 和内部调压器供电。
- ◇ $V_{SSA}, V_{DDA} = 2.0 \sim 5.5V$: 为 ADC、复位模块、HSI 振荡器提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- ◇ $V_{BAT} = 1.65 \sim 5.5V$: 当 VDD 不存在时, 作为 RTC、32 kHz 外部时钟振荡器和备份寄存器的电源 (通过电源开关供电)。



电源框图



5.10 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路, 该电路始终处于工作状态, 保证系统在供电超过 2.0V 时工作; 当 V_{DD} 低于设定的阈值(VPOR/PDR)时, 置器件于复位状态, 而不必使用外部复位电路。

本产品中还有一个可编程电压监测器(PVD), 它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

5.11 电压调压器 (LDO)

调压器将外部电压转成内部数字逻辑工作的电压, 该调压器在复位后始终处于工作状态。

5.12 低功耗模式

本产品支持低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。



低功耗模式

模式	进入	唤醒	对 VREG1P5 区域时钟的影响	对 VDD/VDDA 区域时钟的影响	电压调节器
睡眠 (SLEEP) (SLEEP NOW or SLEEP ON EXIT)	WFI	任一中断	CPU 时钟关闭, 对其它时钟及模拟时钟无影响	无	开启
	WFE	唤醒事件			
停机 (STOP)	PDDS 和 LPDS 位 + SLEEPDEEP 位 + WFI 或 WFE	任一外部中断(在 EXTI 寄存器中设置)指定通信口接收事件(USART, I2C)	所有 VREG1P5 区域时钟关闭	HSI 和 HSE 振荡器关闭	开启 可选择 Normal 或 low-power 模式 (依据电源控制寄存器(PWR_CR)的设置)
待机 (STANDBY)	PDDS 位+ SLEEPDEEP 位+ WFI 或 WFE	唤醒引脚上升沿, RTC 闹钟, NRST 脚外部复位, IWDG 复位			关闭

5.12.1 睡眠模式

在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

5.12.2 停止模式

在保持 SRAM 和寄存器内容不丢失的情况下, 停机模式可以达到最低的电能消耗。在停机模式下, 停止所有内部 VREG1P5 电压域的时钟, HSI 的振荡器和 HSE 晶体振荡器被关闭, VREG1P5 调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成 EXTI 的信号把 CPU 从停机模式中唤醒, EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC、I2C1 或 USART1 信号。

5.12.3 待机模式

待机模式下可达到最低功耗。此时, 内部调压器 VREG1P5 关闭, 因此整个 1.5V 域将断电。PLL、HSI RC 和 HSE 晶振也会关闭。进入待机模式后, 除 RTC 域和待机电路中的寄存器外, SRAM 和寄存器的内容都将消失。发生外部复位 (NRST 引脚)、IWDG 复位、WKUP 引脚上出现上升沿或者触发 RTC 事件时, 器件退出待机模式。

注: 进入停止或待机模式时, RTC、IWDG 和相应的时钟源不会停止。

5.13 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; DMA 控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设: SPI、I2C、USART, 定时器 TIMx (除了 TIM14)、ADC。

5.14 定时器和看门狗

本产品包含 1 个高级控制定时器、5 个通用定时器, 以及 2 个看门狗定时器和 1 个 SysTick 定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能:



定时器功能比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级控制	TIM1	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	3
通用	TIM2	32 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无
	TIM14	16 位	递增	1 和 65536 之间的任意整数	无	1	无
	TIM16, TIM17	16 位	递增	1 和 65536 之间的任意整数	有	1	1

5.14.1 高级控制定时器(TIM1)

高级控制定时器(TIM1)支持 6 个通道的三相 PWM 发生器功能,它具有带死区插入的互补 PWM 输出,还可以被当成完整的通用定时器。四个独立的通道可以用于:

- ◇ 输入捕获
- ◇ 输出比较
- ◇ 产生 PWM(边缘或中心对齐模式)
- ◇ 单脉冲输出

配置为 16 位标准定时器时,它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时,它具有全调制能力(0~100%)。

在调试模式下,计数器可以被冻结,同时 PWM 输出被禁止,从而切断由这些输出所控制的开关。

很多功能都与标准的 TIM 定时器相同,内部结构也相同,因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作,提供同步或事件链接功能。

5.14.2 通用定时器(TIM2、3 和 TIM14、16、17)

本产品中,内置了多达 5 个可同步运行的标准定时器。每个定时器都支持 PWM 输出,或作为通用时间基准。

TIM2, TIM3

本器件具有两个可同步的 4 通道通用定时器。TIM2 基于一个 32 位自动重载递增/递减计数器和一个 16 位预分频。TIM3 基于一个 16 位自动重载递增/递减计数器和一个 16 位预分频。它们都具有 4 个独立通道,用于输入捕获/输出比较、PWM、单脉冲模式输出。在最大的封装中,可提供多达 12 个输入捕捉/输出比较/PWM。

TIM2 和 TIM3 通用定时器可通过定时器链接功能与 TIM1 高级控制定时器协同工作,提供同步或事件链接功能。

TIM2 和 TIM3 都可生成独立的 DMA 请求。

这些定时器能够处理正交(增量)编码器信号,也能处理 1 到 3 个霍尔效应传感器的数字输出。

在调试模式下,其计数器可被冻结。

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

TIM14 具有一个单通道,用于输入捕获/输出比较, PWM 或单脉冲模式输出。

在调试模式下,其计数器可被冻结。

TIM16 和 TIM17



两种定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

它们每个都有一个单通道，用于输入捕获/输出比较， PWM 或单脉冲模式输出。

TIM16 和 TIM17 有互补输出，带死区生成和独立 DMA 请求生成功能。

在调试模式下，其计数器可被冻结。

5.14.3 独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。

通过选项字节可以配置成是软件或硬件启动看门狗。

在调试模式下，计数器可以被冻结。

5.14.4 窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；

在调试模式下，计数器可以被冻结。

5.14.5 SysTick 定时器

这个定时器可专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- ◇ 24 位的递减计数器
- ◇ 自动重加载功能
- ◇ 当计数器为 0 时能产生一个可屏蔽系统中断
- ◇ 可编程时钟源

5.15 RTC (实时时钟) 和备份寄存器

RTC 和 5 个备份寄存器通过内部电源开关选择供电，当 VDD 电源存在时，该开关选择 VDD 供电，否则选择由 VBAT 引脚供电。备份寄存器由 5 个 32 位寄存器组成，用于在 VDD 电源不存在时存储 20 字节的用户应用数据。备份寄存器不会在系统复位或电源复位时复位，也不会当器件从待机模式唤醒时复位。

RTC 是一个独立的 BCD 定时器/计数器。其主要特性如下：

- ◇ 日历具有亚秒、秒、分、小时 (12 或 24 格式)、星期几、日、月、年，格式为 BCD (二进制十进制)。
- ◇ 自动调整每月是 28、29 (闰年)、30 还是 31 天。
- ◇ 可编程闹钟具有从停止和待机模式唤醒的能力。
- ◇ 可运行时纠正 1 到 32767 个 RTC 时钟脉冲。这可用于将 RTC 与主时钟同步。
- ◇ 数字校准电路具有 1 ppm 的分辨率，以补偿石英晶振的不准确性。
- ◇ 两个防篡改检测引脚具有可编程的滤波器。当检测到篡改事件时，MCU 可从停止及待机模式唤醒。
- ◇ 时间戳特性可用于保存日历内容。此功能可由时间戳引脚上的事件触发，或由篡改事件触发。当检测到时间戳事件时，MCU 可从停止及待机模式唤醒。
- ◇ 参考时钟检测：可使用更加精确的第二时钟源 (50 或 60 Hz) 来提高日历的精确度。

RTC 时钟源可为：

- ◇ 32.768 kHz 的外部晶振
- ◇ 谐振器或振荡器
- ◇ 内部低功耗 RC 振荡器 (典型频率为 40 kHz)
- ◇ 高速外部时钟的 32 分频

5.16 I2C 总线

此模块当前版本暂不开放，有相关应用需求请联系我司技术支持人员。



5.17 通用同步/异步收发器(USART)

器件内置有一个通用同步 / 异步收发器 (USART1)，其通信速率高达 6 Mbit/s。

它提供了对 CTS、RTS、RS485 DE 信号、多处理器通信模式、主同步通信和单线半双工通信模式的硬件管理。

USART1 还支持智能卡通信 (ISO 7816)、IrDA SIR ENDEC、LIN 主/从能力、自动波特率特性，具有与 CPU 时钟独立的时钟域，可从停止模式唤醒 MCU。

USART 接口都可以使用 DMA 操作。

USART 功能配备

USART 模式/功能	USART1
MODEM 所需的硬件流控制	√ 注
用 DMA 实现连续通讯	√
多机通讯	√
同步模式	√
智能卡模式	√
单线半双工通讯	√
红外 IrDA SIR 编解码	√
LIN 模式	√
双时钟驱动和从 Stop 模式唤醒	√
接收超时中断	√
Modbus 通讯	√
自动波特率检测	√
RS485 用的驱动使能信号	√

注: √ = 支持

5.18 串行外设接口(SPI)

SPI 能够以高达 18 Mbit/s 通信，可为从和主模式、全双工和半双工通信模式。3 位预分频器可产生 8 种主模式频率，帧长可配置为 4 位至 16 位。

所有的 SPI 接口都可以使用 DMA 操作。

SPI 功能配备

SPI 特性	SPI
硬件 CRC 计算	√ 注
Rx/Tx FIFO	√
NSS 脉冲模式	√

注: √ = 支持

5.19 通用输入输出接口(GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。在 AHB 上的



I/O 脚可达 18MHz 的翻转速度。

5.20 ADC(模拟/数字转换器)

本产品内嵌 1 个 12 位的模拟/数字转换器(ADC)，每个 ADC 可用多达 10 个外部通道和 6 个内部通道（温度传感器、电压参考、VBAT 电压测量和 3 路运算放大器输出），可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

5.20.1 温度传感器(V_{SENSE})

温度传感器 (TS) 可随温度变化线性生成电压 V_{SENSE} 。

温度传感器内部连接到 ADC_IN16 输入通道，该通道用于将传感器输出电压转换为数字值。

传感器的线性很好，但必须对其校准以得到较好总精度的温度测量。由于工艺差别，温度传感器的偏移因芯片而异，因此未校准的内部温度传感器仅适合检测温度变化的应用。

为提高温度传感器的测量精度，每个器件都单独出厂校准。温度传感器的出厂校准数据储存在系统存储区，访问模式为只读。

温度传感器校准值

名称	说明	存储地址
ADC_Temp1	内部温度传感器通道 ADC 原始数据(常温)， $V_{DDA}=3.3V(\pm 10mV)$	0x1FFF F7B8 - 0x1FFF F7B9
Sens_Temp1	获取 ADC_Temp1 的常温温度值，单位 $0.0625^{\circ}C$ 举例，读取的值 0x190(400)，则实际温度 $400*0.0625^{\circ}C=25^{\circ}C$	0x1FFF F7BC - 0x1FFF F7BD

5.20.2 内部参考电压 (V_{REFINT})

内部参考电压 (V_{REFINT}) 为 ADC 和比较器提供了一个稳定的参考电压输出。 V_{REFINT} 内部连接到 ADC_IN17 输入通道。 V_{REFINT} 的精确电压在生产测试期间对每个器件单独测量，储存于系统存储区。访问模式为只读。

内部参考电压校准值

名称	说明	存储地址
VREFINT_CAL	内部 VREF 通道 ADC 原始数据(常温) $V_{DDA}=3.3V(\pm 10mV)$	0x1FFF F7BA - 0x1FFF F7BB
Sens_Temp1	获取 VREFINT_CAL 的常温温度值，单位 $0.0625^{\circ}C$ 举例，读取的值 0x190(400)，则实际温度 $400*0.0625^{\circ}C=25^{\circ}C$	0x1FFF F7BC - 0x1FFF F7BD



5.20.3 V_{BAT} 电池电压监控

此嵌入式的硬件特性允许应用使用内部 ADC 通道 ADC_IN18，测量 V_{BAT} 电池电压。因为 V_{BAT} 电压可能高于 V_{DDA} ，超出 ADC 的输入范围，所以 V_{BAT} 引脚内部 1/2 分压。因此，转换出的数字值为 V_{BAT} 电压的一半。

5.21 电压比较器 CMP

本产品内嵌 1 个正相 6 通道（3 外部+3 内部通道）切换的比较器(CMP1)和 1 个正相 4 通道（1 外部+3 内部通道）的比较器(CMP2)，每个比较器都有反相端内部比较电压可选功能，施密特窗口档位选择，输出信号滤波及极性改变功能。同时最终的输出信号可以反馈到芯片管脚，内部中断，同时也能接入 TIME 与其产生联动，或是作为保护信号接入 PWM 刹车功能。

5.22 运算放大器 OPAMP

本产品内嵌 3 个高性能运算放大器（OPAMP1、2、3），每个运算放大器都有内部固定倍数放大功能，施密特窗口档位选择（2、4、8、16 倍），反相端与输出口可以灵活选择接线方式，配合外部电路达到一些应用效果。输出信号可以接入 ADC 端口进行数据采样，也可以接入比较正端作为比较源头，同时也能输出到芯片管脚作为其它使用。

5.23 串行单线 SWD 调试口(SW-DP)

内嵌 ARM 的两线串行调试端口(SW-DP)

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。



6 存储器映像

存储器映像

总线	编址范围	大小	外设	备注
AHB	0xE000 0000 - 0xE00F FFFF	1MB	Cortex M0 内部外设	
	0x4800 1800 - 0x5FFF FFFF	~384 MB	Reserved	
	0x4800 0C00 - 0x4800 17FF	1KB	GPIOF	
	0x4800 1000 - 0x4800 13FF	2KB	Reserved	
	0x4800 0800 - 0x4800 0BFF	1KB	GPIOC	
	0x4800 0400 - 0x4800 07FF	1KB	GPIOB	
	0x4800 0000 - 0x4800 03FF	1KB	GPIOA	
	0x4002 4400 - 0x47FF FFFF	~128 MB	Reserved	
	0x4002 3400 - 0x4002 3FFF	3 KB	Reserved	
	0x4002 3000 - 0x4002 33FF	1 KB	CRC	
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved	
	0x4002 2000 - 0x4002 23FF	1 KB	FLASH 接口	
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved	
	0x4002 1000 - 0x4002 13FF	1 KB	RCC	
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved	
	0x4002 0000 - 0x4002 03FF	1 KB	DMA	
	APB	0x4001 8000 - 0x4001 FFFF	32 KB	Reserved
0x4001 5C00 - 0x4001 7FFF		9 KB	Reserved	
0x4001 5800 - 0x4001 5BFF		1 KB	DBGMCU	
0x4001 4C00 - 0x4001 57FF		3 KB	Reserved	
0x4001 4800 - 0x4001 4BFF		1 KB	TIM17	
0x4001 4400 - 0x4001 47FF		1 KB	TIM16	
0x4001 4000 - 0x4001 43FF		1 KB	Reserved	
0x4001 3C00 - 0x4001 3FFF		1 KB	CMP&OPAMP	
0x4001 3800 - 0x4001 37FF		1 KB	USART1	
0x4001 3400 - 0x4001 33FF		1 KB	Reserved	
0x4001 3000 - 0x4001 2FFF		1 KB	SPI1	
0x4001 2C00 - 0x4001 2BFF		1 KB	TIM1	
0x4001 2800 - 0x4001 27FF		1 KB	Reserved	
0x4001 2400 - 0x4001 23FF		1 KB	ADC	
0x4001 1800 - 0x4001 17FF		7 KB	Reserved	
0x4001 1400 - 0x4001 13FF		1 KB	EXTI	
0x4001 0800 - 0x4001 07FF		1 KB	SYSCFG	
0x4000 7400 - 0x4000 FFFF	35 KB	Reserved		



总线	编址范围	大小	外设	备注
	0x4000 7000 - 0x4000 73FF	1 KB	PWR	
	0x4000 5800 - 0x4000 6FFF	6 KB	Reserved	
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1	
	0x4000 3400 - 0x4000 53FF	8 KB	Reserved	
	0x4000 3000 - 0x4000 33FF	1 KB	IWWDG	
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG	
	0x4000 2800 - 0x4000 2BFF	1 KB	RTC	
	0x4000 2400 - 0x4000 27FF	1 KB	Reserved	
	0x4000 2000 - 0x4000 23FF	1 KB	TIM14	
	0x4000 0800 - 0x4000 1FFF	6 KB	Reserved	
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3	
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2	
	0x2000 1000 - 3FFF FFFF	~512 MB	Reserved	
SRAM	0x2000 0000 - 0x2000 0FFF	4 KB	SRAM	
	0x1FFF FC00 - 0x1FFF FFFF	1 KB	Reserved	
Info	0x1FFF F800 - 0x1FFF FBFF	1 KB	Option bytes	
	0x1FFF EC00 - 0x1FFF F7FF	3 KB	System memory	
	0x0801 0000 - 0x1FFF EBFF	~384 MB	Reserved	
Flash	0x0800 0000 - 0x0800 FFFF	64 KB	Main Flash memory	
	0x0000 8000 - 0x07FF FFFF	128 MB	Reserved	
	0x0000 000 - 0x0000 7FFF	32 KB	主闪存存储器，系统存储器 或是 SRAM @依赖 BOOT 的配置	



7 电气特性

7.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

7.1.1 最小值和最大值

除非特别说明，所有产品的最小值和最大值已在出厂通过测试，测试的环境温度为 $T_A=25^\circ\text{C}$ 和 $T_A=T_{Amax}$ (T_{Amax} 产品的温度范围匹配)，所有最小和最大值可以在最坏的环境温度、供电电压和时钟频率条件下得到保证。

部分数据是根据特性分析、设计仿真及工艺特性分析综合评估获得，会在脚注中说明，不会在出厂进行测试。

结合综合评估结果，经过样本测试后，取平均值加上或减去 3 倍标准差（平均值 $\pm 3\sigma$ ）得到最大值和最小值。

7.1.2 典型值

除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 和 $V_{DD}=V_{DDA}=3.3\text{V}$ ($2.5\text{V} \leq V_{DD} \leq 5.5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，全温度范围分析得到，其中 95% 产品的误差小于等于给出的数值(平均值 $\pm 2\sigma$)。

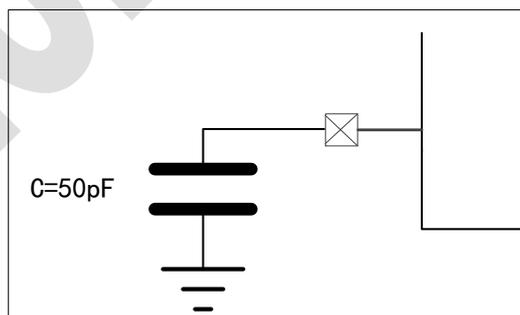
7.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

7.1.4 负载电容

测量引脚参数时，负载条件如下图。

引脚的负载条件

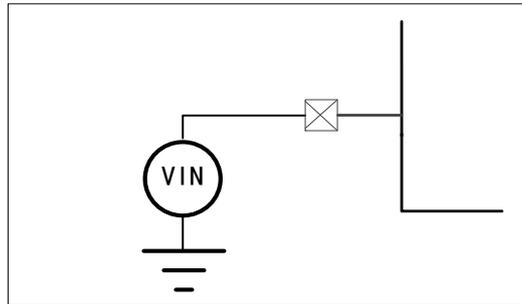




7.1.5 引脚输入电压

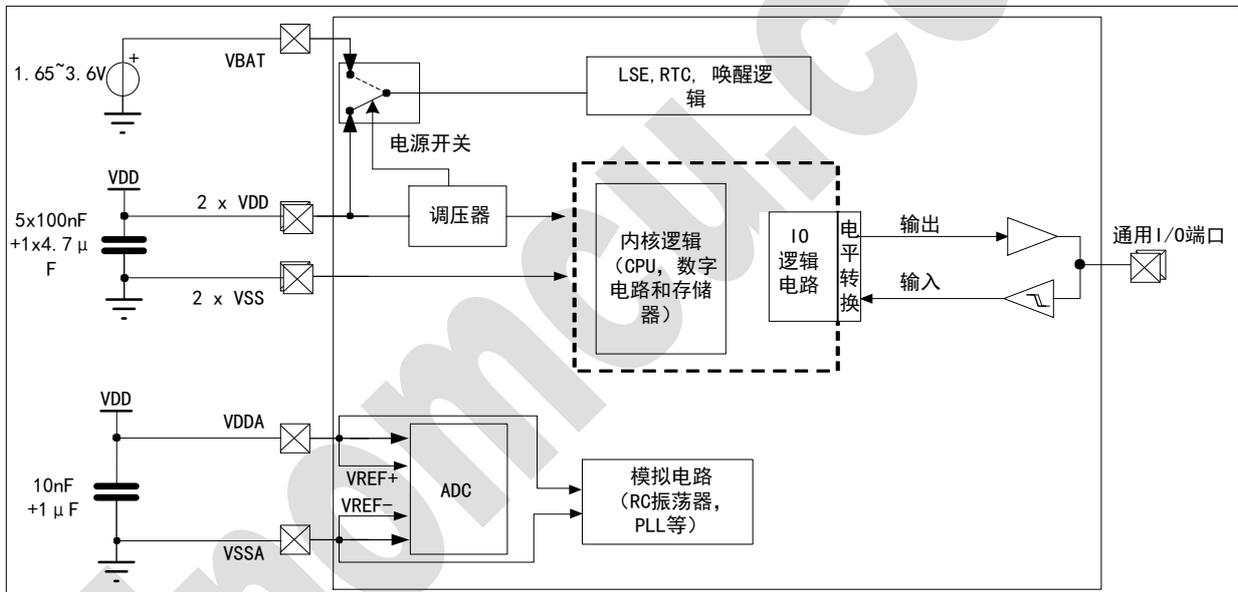
引脚上输入电压的测量方式，如下图。

引脚输入电压



7.1.6 供电方案

供电方案



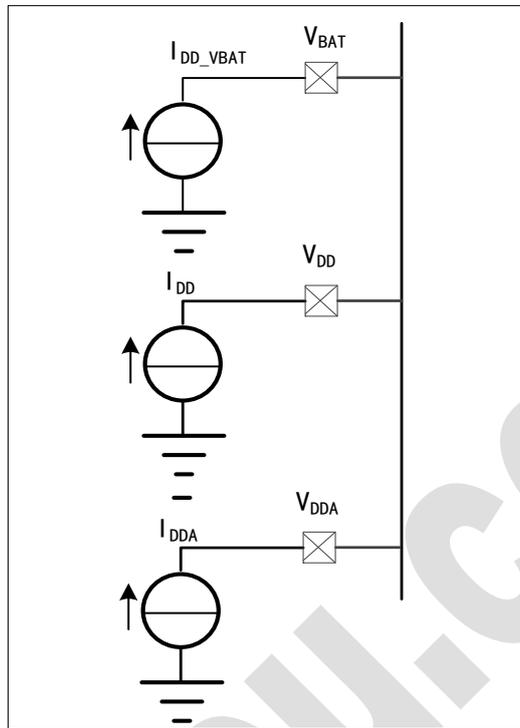
注：上图中每个电源对（VDD/VSS，VDDA/VSSA 等）必须陶瓷电容滤波去耦。电容尽量靠近器件引脚。

注：4.7uF 电容靠近 VDD/VSS (LQFP48 的 PIN48 和 47, LQFP32 的 PIN1 和 PIN32, QFN32 的 PIN1 和 BottonPad)。



7.1.7 电流消耗测量

电流消耗测量方案



7.2 极限参数

若器件上的载荷超过列表中给出的极限参数，可能会导致器件永久性损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能正常。器件长期工作在极限条件下会影响器件的可靠性。

电压特性^(注 1)

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压	-0.3	5.5	V
$V_{DDA}-V_{SSA}$	外部模拟电压	-0.3	5.5	
$V_{DD}-V_{DDA}$	$V_{DD} > V_{DDA}$ 所允许的电压差	-	0.4	
$V_{BAT}-V_{SS}$	外部备份电源电压	-0.3	5.5	
V_{IN} ^(注 2)	在 5V 容忍的引脚 (FT,FTf) 上的输入电压	$V_{SS}-0.3$	5.5	
	在 TTa 引脚上的输入电压	$V_{SS}-0.3$	5.5	
	BOOT0	0	5.5	
	其他引脚上的输入电压	$V_{SS}-0.3$	5.5	
$ \Delta V_{DDx} $	不同 VDD 电源引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	
$V_{ESD}(HBM)$	ESD 静电放电电压(人体模型)	参见 6.3.20 EMC 特性		

注 1: 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

注 2: 保证 V_{IN} 不超过其最大值。允许的最大注入电流，参见下面章节。



电流特性

符号	描述	最大值	单位
ΣI_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ^(注 1)	120	mA
ΣI_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ^(注 1)	-120	
I_{VDD}	经过每个 V_{DD}/V_{DDA} 电源线的最大电流(供应电流) ^(注 1)	100	
I_{VSS}	经过每个 V_{SS} 地线的最大电流(流出电流) ^(注 1)	-100	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出拉电流	-25	
ΣI_{IO}	所有 I/O 和控制引脚上的总输出灌电流 ^(注 2)	80	
	所有 I/O 和控制引脚上的总输出拉电流 ^(注 2)	-80	
I_{INJ} ^(注 3)	B、FT、FTf 引脚上的注入电流	-5/+0 ^(注 4)	
	TC 和 NRST 引脚的注入电流	± 5	
	TTa 引脚的注入电流 ^(注 5)	± 5	
ΣI_{INJ}	所有 I/O 和控制引脚上的总注入电流 ^(注 6)	± 25	

注 1: 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。

注 2: 此电流消耗必须正确分布至所有 I/O 和控制引脚。对于多引脚数的封装 (LQFP48), 总输出电流一定不能在两个连续电源引脚间灌/拉。

注 3: 当 $V_{IN} > V_{DDIOx}$ 时, 会产生正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 会产生反向注入电流。不得超出 I_{INJ} 。有关允许的最大输入电压值的信息, 请参见表: 电压特性。

注 4: 这些 I/O 上无法正向注入, 输入电压低于指定的最大值时也不会发生正向注入。

注 5: 在这些 I/O 上, 正注入由 $V_{IN} > V_{DDA}$ 产生。负注入会扰乱器件的模拟性能。请参见表: ADC 精度下方的注(2)。

注 6: 当几个 I/O 口同时有注入电流时, ΣI_{INJ} 的最大值为正向注入电流与反向注入电流 (瞬时值) 绝对值之和。

温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-55 ~ +150	$^{\circ}\text{C}$
T_J	最大结温度	125	$^{\circ}\text{C}$

7.3 工作条件

7.3.1 通用工作条件

通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	48	MHz
f_{PCLK}	内部 APB 时钟频率	-	0	48	
V_{DD}	标准工作电压	-	2.0	5.5	V
V_{DDA}	模拟部分工作电压(未使用 ADC)	必须大于等于 V_{DD} ⁽²⁾	VDD	5.5	V



	模拟部分工作电压(使用 ADC)	电压	2.5	5.5	
V_{BAT}	备份域工作电压		1.65	5.5	V
V_{IN}	I/O 输入电压	TC 和 RST I/O	-0.3	$V_{DDIOx}+0.3$	V
		TTa I/O	-0.3	$V_{DDA}+0.3$ (注1)	
		FT 和 FTf I/O	-0.3	5.5(注1)	
		BOOT0	0	5.5	
T_A	环境温度(温度标号 6)	最大功率耗散	-40	85	°C
		低功率耗散(注2)	-40	105	
	环境温度(温度标号 7)	最大功率耗散	-40	105	°C
		低功率耗散(注2)	-40	125	

注1: 对于电压高于 $V_{DDIOx} + 0.3V$ 的工作, 内部上拉电阻必须禁用。

注2: 在低功率耗散状态下, 只要不超过最大结温, T_A 便可以扩展温度范围。

7.3.2 上电和掉电时的工作条件

下表中给出的参数是在通用工作条件下测试得出。

上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	-	0	∞	$\mu s/V$
	V_{DD} 下降速率	-	20	∞	
t_{VDDA}	V_{DDA} 上升速率	-	0	∞	$\mu s/V$
	V_{DDA} 下降速率	-	20	∞	

7.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是在通用工作条件下测试得出。

POR/PDR 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}$ (注1)	上电/掉电复位阈值	下降沿(注2)	1.74	1.82	1.90(注3)	V
		上升沿	1.84(注3)	1.92	2.00	V
$V_{PDRhyst}$ (注4)	PDR 迟滞	-	-	100	-	mV
$T_{RSTEMPO}$ (注4)	复位持续时间	-	3	4	10	ms

注1: POR 检测器监控 V_{DD} 及 V_{DDA} (若在选项字节中保持启用)。PDR 检测器仅监控 V_{DD} 。

注2: 产品特性由设计保证低至 $V_{POR/PDR}$ 的最小值。

注3: 数据基于特征结果, 未经生产测试。

注4: 由设计保证, 未经生产测试。

PVD 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压	PLS[2:0]=000 (上升沿)	2.10	2.18	2.26	V



	检测器的电平选择	PLS[2:0]=000 (下降沿)	2.00	2.08	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.48	2.58	2.68	V
		PLS[2:0]=100 (下降沿)	2.38	2.48	2.58	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.90	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.80	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3.00	V
		PLS[2:0]=111 (下降沿)	2.66	2.78	2.90	V
$V_{PVDhyst}^{(注1)}$	PVD 迟滞	-	-	100	-	mV
$I_{DD(PVD)}$	PVD 电流 ^(注2)	-	-	0.15	0.25 ^(注1)	uA

注1: 由设计保证, 未经生产测试。

注2: PVD 内部部分电路与 POR/PDR 电路共用, 此功耗数据包含共用电路部分, 实际关闭 PVD 功耗带来的功耗减量小于表格中数据。

7.3.4 内置参考电压

下表中给出的参数是在通用工作条件下测试得出。

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.213	1.25	V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$	1.16	1.213	1.24 ^(注1)	V
$t_{S_VREFINT}$	读取内部参考电压时, ADC 的采样时间	-	4 ^(注1)	-	-	us
ΔV_{REFINT}	全温度范围, 内部参考电压分布	$V_{DDA}=3\text{V}$	-	-	18 ^(注1)	mV
T_{COEFF}	温漂系数	-	-200 ^(注1)	-	200 ^(注1)	ppm/ $^{\circ}\text{C}$

注1: 由设计保证, 未经生产测试。

7.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明, 详见 6.1.7 章节。

本节中给出的所有运行模式下的电流消耗测量值, 都通过执行一套精简的代码得出。



典型和最大电流消耗

微控制器处于下列条件:

- ◇ 所有的 I/O 引脚都处于模拟输入模式
- ◇ 所有的外设都处于关闭状态, 除非特别说明。
- ◇ 闪存存储器的访问时间调整到 f_{HCLK} 的频率
 - 0 等待状态且 prefetch 关闭, 0~24MHz
 - 1 等待状态且 prefetch 开启, 24~48MHz
- ◇ 当开启外设时: $f_{PCLK} = f_{HCLK_0}$

下表给出的参数, 是在通用工作条件下测试得出。

V_{DD} 的典型和最大电流消耗 (V_{DD}=5.5V)

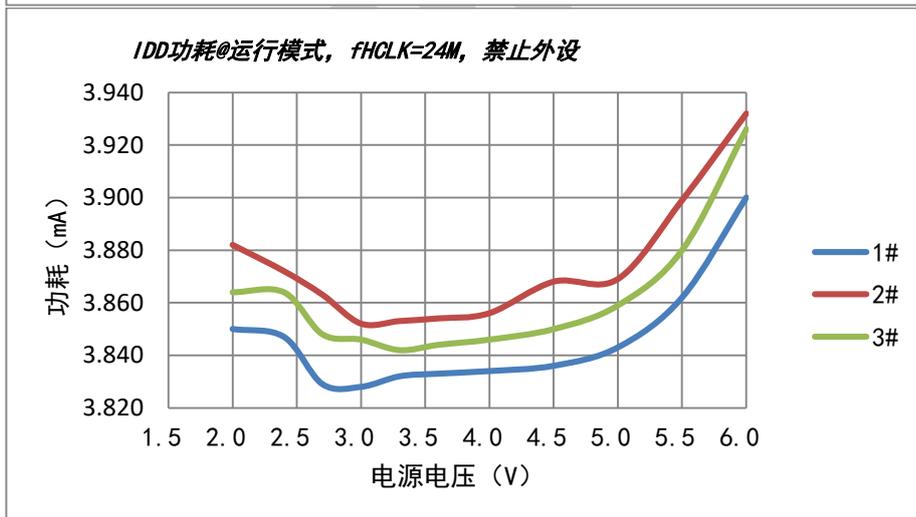
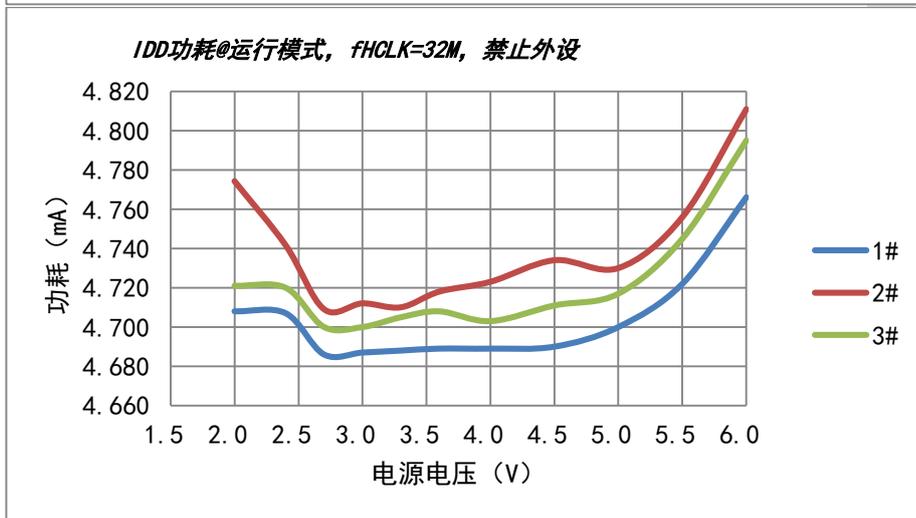
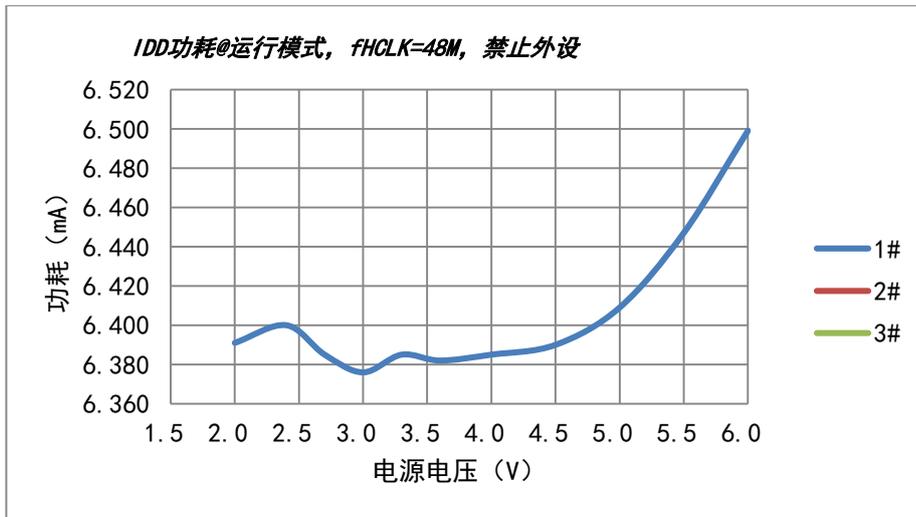
符号	参数	条件		f _{HCLK}	典型值	最大值 ^(注1)			单位
					25°C	25°C	85°C	105°C	
I _{DD}	供应电流 运行模式下+ 从 flash 执行代 码	使能所有外 设 ^(注2)	HSI 时钟, PLL 开	48MHz	8.20	10	10	12	mA
				32MHz	5.95	8	8		
				24MHz	4.79	5.5	5.5		
			HSI 时钟 PLL 关	8MHz	2.21	3.5	3.5	5	
		关闭所有外 设	HSI 时钟, PLL 开	48MHz	6.44	9	9	11	
				32MHz	4.74	6.5	6.5	8	
				24MHz	3.88	4.5	4.5	6	
			HSI 时钟 PLL 关	8MHz	1.84	3	3	4.5	
	供应电流 运行模式+从 sram 执行代 码	关闭所有外 设	HSI 时钟, PLL 开	48MHz	5.75	8	8	10	
				32MHz	4.18	6.5	6.5	8	
24MHz				3.47	4.5	4.5	6		
HSI 时钟 PLL 关			8MHz	1.67	3	3	4.5		
I _{DD}	供应电流 睡眠模式+从 flash 或 sram 执行代码	使能所有外 设 ^(注2)	HSI 时钟, PLL 开	48MHz	4.82	7	7	9	mA
				32MHz	3.63	5.5	5.5	7	
				24MHz	3.04	4	4	5.5	
			HSI 时钟 PLL 关	8MHz	1.69	3	3	4.5	
		关闭所有外 设	HSI 时钟, PLL 开	48MHz	3.06	5	5	6	
				32MHz	2.43	4	4	4.5	
				24MHz	2.12	3	3	3.5	
			HSI 时钟 PLL 关	8MHz	1.49	2.5	2.5	3	

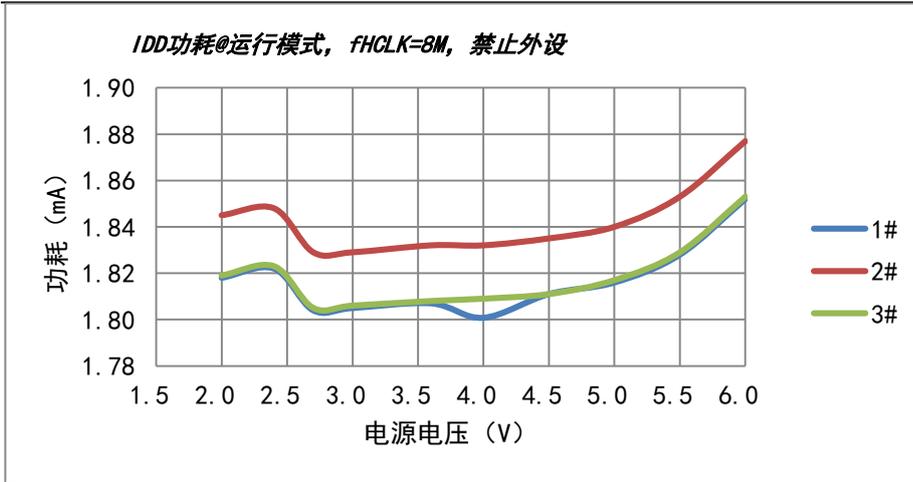
注 1: 除非特别说明, 数据基于特性分析结果, 未经生产测试。

注 2: 使能外设, 仅开启模块时钟门控, 参见 RCC 章节。



I_{DD} 与电压关系曲线 (运行模式, flash 执行代码, 常温)





VDDA 电源的典型和最大电流消耗

符号	参数	条件 (注1)	f _{HCLK}	典型值	最大值(注2)			单位	
				25°C (注3)	25°C	85°C	105°C		
I _{DDA}	供应电流 运行模式或睡眠模式+从flash或sram执行代码	VDDA=2.0V	HSI 8M 时钟, PLL 开	48MHz	170	180	180	200	uA
				32MHz	170	180	180	200	
				24MHz	170	180	180	200	
			HSI 8M 时钟, PLL 关	8MHz	170	180	180	200	
				8MHz	0.25	1	4	10	
				8MHz	0.25	1	4	10	
		VDDA=5.5V	HSI 8M 时钟, PLL 开	48MHz	185	200	200	220	
				32MHz	185	200	200	220	
				24MHz	185	200	200	220	
			HSI 8M 时钟, PLL 关	8MHz	185	200	200	220	
				8MHz	0.68	1	4	10	
				8MHz	0.68	1	4	10	

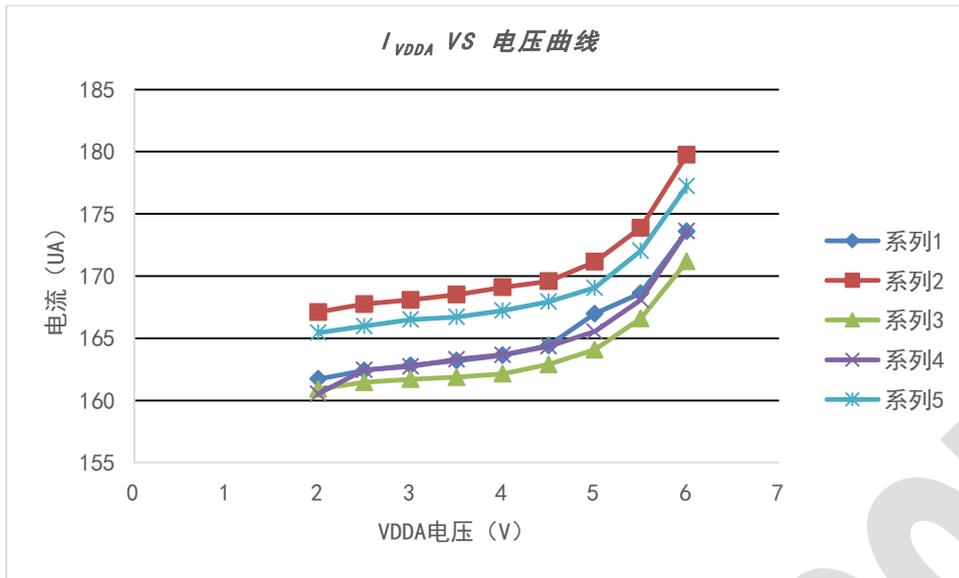
注 1: V_{DDA} 电源消耗与数字外设是否开启无关, 与运行或睡眠模式无关, 与从 flash 或 sram 执行代码无关。此外, 当 PLL 关闭时, I_{DDA} 与频率无关。

注 2: 除非特别说明, 数据基于特性分析结果, 未经生产测试。

注 3: 数据基于特征结果, 生产测试通过 I_{DD} 和 I_{DDA} 之和, 进行卡测。



I_{DDA} 与电压关系曲线(HSI on, 常温)



停机和待机模式下的典型和最大电流消耗

符号	参数	条件 (注1)	典型值@V _{DD} =V _{DDA}			最大值(注1)			单位
			2.0V	3.0V	5.5V	25°C (注2)	85°C	105°C(注2)	
I _{DD}	供应电流 待机模式	LDO 处于运行模式, 所有振荡器关闭	821	808	818	1000	-	-	uA
		LDO 处于低功耗模式, 所有振荡器关闭	3.41	3.46	3.86	5	20	50	
	供应电流 待机模式	LSI 开启, IWDG 开启	1.30	1.39	1.71	-	-	-	
		LSI 关闭, IWDG 关闭(注3)	0.99	1.07	1.35	2	10	25	
I _{DDA}	供应电流 待机模式	VDDA 检测开启	LDO 处于运行模式, 所有振荡器关闭	0.24	0.37	0.68	1	4	10
			LDO 处于低功耗模式, 所有振荡器关闭	0.24	0.36	0.68	1	4	10
	供应电流 待机模式	VDDA 检测开启	LSI 开启, IWDG 开启	0.24	0.36	0.68	-	-	-
			LSI 关闭, IWDG 关闭(注3)	0.24	0.36	0.68	1	4	10
	供应电流 待机模式 (注4)	VDDA 检测关闭	LDO 处于运行模式, 所有振荡器关闭	0.1	0.1	0.1	-	-	-
			LDO 处于低功耗模式, 所有振荡器关闭	0.1	0.1	0.1	-	-	-
			LSI 开启, IWDG 开启	0.24	0.36	0.68	-	-	-
			LSI 关闭, IWDG 关闭	0.24	0.36	0.68	-	-	-

注1: 除非特别说明, 数据基于特性分析结果, 未经生产测试。

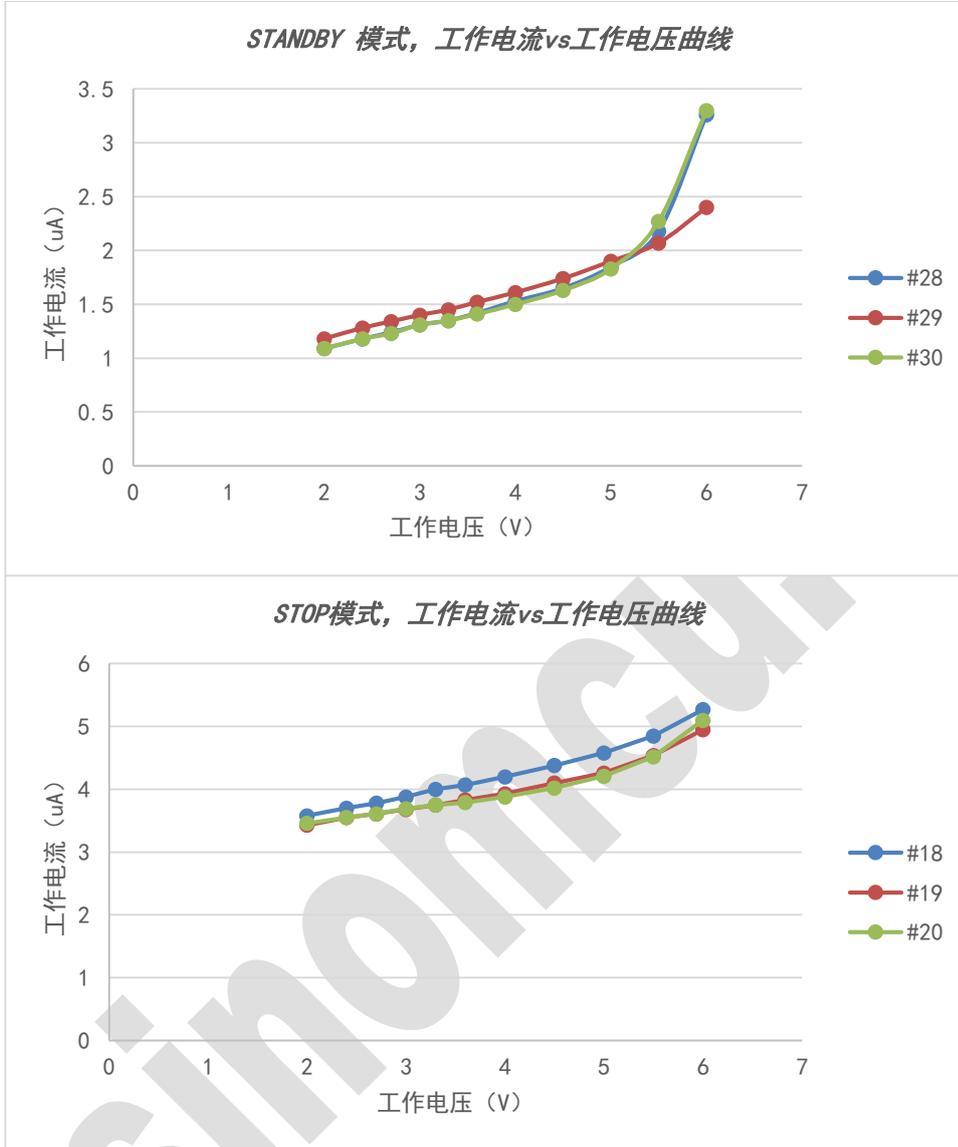
注2: 数据基于特征结果, 生产测试通过 I_{DD} 和 I_{DDA} 之和, 进行卡测。



注3: 因 LSI 和 IWDG 模块在 VBAT 电压域下, 此项的 I_{VDD} 包括 I_{VBAT} 的电流。

注4: 待机模式下, option byte 控制<VDDA 检测关闭>无效。

工作电流与工作电压曲线 (standby)



注: 上图中, 工作电流为 I_{DD}、I_{DDA} 和 I_{BAT} 的总和; 测试时, V_{DD}、V_{DDA} 和 V_{BAT} 连接在一起。

V_{BAT} 电源的典型和最大电流消耗

符号	参数	条件 (注1)	典型值@V _{BAT}			最大值(注1)			单位
			1.65V	3.0V	5.5V	25°C	85°C	105°C	
I _{BAT} (注2)	备份域 供电电流	LSE & RTC ON: XTAL 模式, 低驱动能力; LSEDRV[1:0]=00b	1.25	1.29	1.45	2	-	-	uA
		LSE & RTC ON: XTAL 模式, 高驱动能力; LSEDRV[1:0]=11b	1.35	1.39	1.58	2	-	-	



注 1: 除非特别说明, 数据基于特性分析结果, 未经生产测试。

注 2: I_{BAT} 的测试: 先对 V_{DD} 、 V_{DDA} 和 V_{BAT} 同时上电运行, 然后断开 V_{DDA} 和 V_{DD} , 测试 V_{BAT} 供应电流。

典型电流消耗

MCU 处于以下条件:

- ◇ $V_{DD}=V_{DDA}=3.3V$
- ◇ 所有的 I/O 引脚都处于模拟输入模式
- ◇ 所有的外设都处于关闭状态, 除非特别说明。
- ◇ 闪存存储器的访问时间调整到 f_{HCLK} 的频率
 - 0 等待状态且 prefetch 关闭, 0~24MHz
 - 1 等待状态且 prefetch 开启, 24~48MHz
- ◇ 当开启外设时: $f_{PCLK} = f_{HCLK}$
- ◇ PLL 用于超过 8MHz 的频率
- ◇ 2/4/8/16 档 AHB 预分频, 用于 4MHz/2MHz/1MHz/500kHz 频率

运行模式下的典型电流消耗, 从内部 Flash 中运行代码

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式 供应电流	HSE 8M 时 钟, PLL 开	48MHz	7.87	6.19	mA
			36MHz	5.40	4.09	
			32MHz	4.87	3.75	
			24MHz	4.01	2.97	
			16MHz	3.20	2.31	
			8MHz	2.51	2.15	
		HSE 8M 时 钟, PLL 关 使用 AHB 预分频	4MHz	1.51	1.30	
			2MHz	1.31	1.16	
			1MHz	1.19	1.09	
			500kHz	1.14	1.05	
	睡眠模式 供应电流	HSE 8M 时 钟, PLL 开	48MHz	4.70	2.96	
			36MHz	3.79	2.48	
			32MHz	3.53	2.34	
			24MHz	2.94	2.03	
16MHz			2.36	1.73		
8MHz			1.58	1.24		
HSE 8M 时 钟, PLL 关 使用 AHB 预分频		4MHz	1.34	1.12		
		2MHz	1.21	1.08		
		1MHz	1.15	1.04		
		500kHz	1.12	1.03		
I_{DDA}	运行模式或睡眠模式 供应电流	HSE 8M 时 钟, PLL 开	48MHz	173.81	166.84	mA
			36MHz	173.60	167.16	
			32MHz	174.13	167.02	



			24MHz	173.97	167.20
			16MHz	173.93	167.20
			8MHz	173.79	167.22
		HSE 8M 时钟, PLL 关 使用 AHB 预分频	4MHz	173.86	167.24
			2MHz	173.85	167.31
			1MHz	173.83	167.08
			500kHz	173.88	167.22

注 1: 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。

I/O 系统电流消耗

I/O 系统的电流消耗有两部分：静态和动态。

I/O 静态电流消耗

所有 I/O，设置为输入模式开启上拉/下拉电阻，当引脚外部保持为低/高时产生电流消耗。此电流消耗的值可通过<I/O 特性>章节中给出的上拉/下拉电阻值简单算出。

对于输出引脚，还必须考虑任何外部下拉电阻或外部负载以估计电流消耗。

若设置为输入模式，且外部施加了中间电平，则产生额外的 I/O 电流消耗。此电流消耗是由输入施密特触发器电路导致。除非应用需要此特定配置，否则可通过 I/O 配置为模拟模式以避免此电流消耗。ADC 输入引脚应配置为模拟输入就是这种情况。

注：任何浮空的输入引脚都可能由于外部电磁噪声，成为中间电平或意外切换。为防止浮空引脚相关的电流消耗，它们必须配置为模拟模式，或内部强制为确定的数字值。可通过使用上拉/下拉电阻或将引脚配置为输出模式实现。

I/O 动态电流消耗

应用所使用的 I/O 翻转也对电流消耗有贡献。当 I/O 引脚切换时，I/O 供电电源 I/O 引脚电路供电，并对连至该引脚的（内部或外部）电容负载充电/放电：

$$I_{\text{SW}} = V_{\text{DDIOx}} \times f_{\text{SW}} \times C$$

其中，

I_{SW} 为切换 I/O 对电容负载充电/放电的灌电流

V_{DDIOx} 是 I/O 供电电压

f_{SW} 为 I/O 切换频率

C 为 I/O 引脚看到的总电容： $C = C_{\text{INT}} + C_{\text{EXT}} + C_{\text{S}}$

C_{S} 为 PCB 板电容，包括板引脚。

测试引脚配置为推挽输出模式，由软件以固定频率切换。

I/O 输出切换的电流消耗

符号	参数	条件 ⁽¹⁾	I/O 开关频率 (f_{SW})	典型值 ^(注2)	单位
I_{SW}	I/O 电流消耗	$V_{\text{DDIOx}} = 3.3\text{V}$ $C_{\text{EXT}} = 0\text{ pF}$ $C = C_{\text{INT}} + C_{\text{EXT}} + C_{\text{S}}$	4 MHz	0.06	mA
			8 MHz	0.18	
			16 MHz	0.40	
			24 MHz	0.54	
			48 MHz	-	



		$V_{DDIOx} = 3.3V$ $C_{EXT} = 10\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.21
			8 MHz	0.47
			16 MHz	0.96
			24 MHz	-
			48 MHz	-
		$V_{DDIOx} = 3.3V$ $C_{EXT} = 22\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.36
			8 MHz	0.75
			16 MHz	1.52
			24 MHz	-
		$V_{DDIOx} = 3.3V$ $C_{EXT} = 33\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.55
			8 MHz	1.13
			16 MHz	2.06
			24 MHz	-
		$V_{DDIOx} = 3.3V$ $C_{EXT} = 47\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.72
			8 MHz	1.46
			16 MHz	2.34
		$V_{DDIOx} = 2.4V$ $C_{EXT} = 47\text{ pF}$ $C = C_{INT} + C_{EXT} + C_S$	4 MHz	0.50
			8 MHz	1.04
			16 MHz	-
			24 MHz	-

注 1: $C_S = 7\text{ pF}$ (评估值)。

注 2: 上表功耗为一个 IO 输出切换产生。

片上外设电流消耗*

片上外设的电流消耗见下表，MCU 的工作条件如下：

- ◇ 所有的 I/O 引脚都处于模拟模式
- ◇ 所有的外设都处于关闭状态，除非特别说明。
- ◇ 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- ◇ 环境温度和供电电压条件，参见<6.2 极限参数>章节电压特性和温度特性。
- ◇ 下表给出了片上外设的数字部分功耗，模拟部分功耗（若有）在数据手册相关章节标明。

片上外设的电流消耗 (HIS 8M, 工作电压 5V)

此模块数据待补充

符号	参数	外设	25°C 下典型消耗值	单位
I_{PERI}	片上外设 电流消耗	AHB	总线矩阵 ^(注 1)	-
			DMA1	
			SRAM	
			FLASH 接口	
			CRC	



	AHB		GPIOA	
			GPIOB	
			GPIOC	
			GPIOF	
			所有 AHB 外设	
	APB		APB 桥 ^(注 2)	
			SYSCFG	
			ADC ^(注 3)	
			TIM1	
			SPI1	
			USART1	
			TIM16	-
			TIM17	-
			DBG(mcu 调试支持)	
			TIM2	
			TIM3	
			TIM14	
			WWDG	
			I2C1	
			PWR	
所有 APB 外设				

注 1: AHB 总线矩阵一直保持激活状态。

注 2: APB 桥一直保持激活状态。

注 3: 不包括 ADC 外设的模拟部分功耗 (I_{DDA})，请参考对应章节数据。

7.3.6 低功耗模式唤醒时间

下表给出的唤醒时间，为唤醒事件发生到第一条用户指令执行的时延。当执行 WFE（等待事件）指令后，器件进入低功耗模式，对于 WFI（等待中断）指令，由于 Cortex-M0 架构中的中断时延，必须将下述时序增加 16 个 CPU 周期。

从睡眠模式唤醒后，SYSCLK 时钟源设置保持不变。在从停止或待机模式唤醒的期间，SYSCLK 为默认设置：HSI 8 MHz。

从睡眠及停止模式的唤醒源为 EXTI 线（配置为事件模式）。从待机模式的唤醒源为 WKUP1 引脚（PA0）。

所有时序均在<6.3.1 通用工作条件>章节所列环境温度及电源电压条件下测试得出。

低功耗模式唤醒时间

符号	参数	条件	典型值@ $V_{DD}=V_{DDA}$				最大值	单位
			2.0V	3.0V	3.3V	5.0V		
t_{WUSTOP}	停止模式唤醒	LDO 处于运行模式	18	18	18	18	20	us
		LDO 处于低功耗模式	18	18	18	18	20	us
$t_{WUSTANDBY}$	待机模式唤醒	-	5.4	5.4	5.4	5.4	5.7	ms



$t_{WUSLEEP}$	睡眠模式唤醒	-	5 FCLK (HCLK) 时钟周期	-	-
---------------	--------	---	--------------------	---	---

7.3.7 外部时钟源特性

外部振荡源产生的高速外部时钟

旁路模式，HSE 振荡器关闭，输入引脚为标准 GPIO。

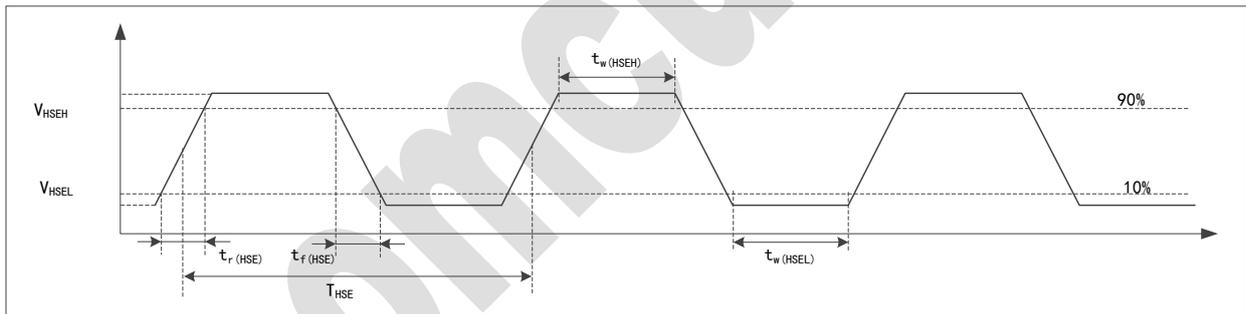
外部时钟信号必须符合 I/O 端口特性，建议的时钟输入波形如下图<高速外部时钟源时序图>。

高速外部时钟特性

符号	参数 ^(注 1)	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	-	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压	V_{SS}	-	$0.3V_{DD}$	
$t_{W(HSE)}$ $t_{W(HSE)}$	OSC_IN 高或低的时间	15	-	-	ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降的时间 ⁽¹⁾	-	-	20	

注 1: 由设计保证, 未经生产测试。

外部高速时钟源时序图



外部振荡源产生的低速外部时钟

旁路模式，LSE 振荡器关闭，输入引脚为标准 GPIO。

外部时钟信号必须符合 I/O 端口特性，建议的时钟输入波形如下图<高速外部时钟源时序图>。

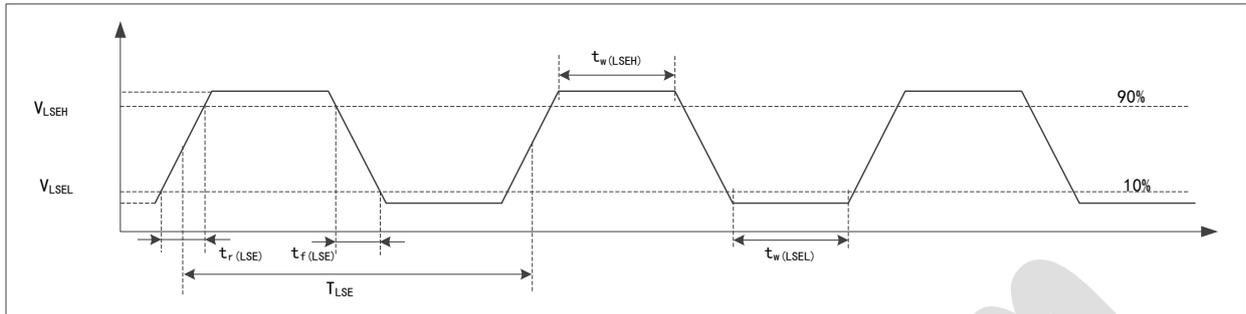
低速外部时钟特性

符号	参数 ^(注 1)	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压	$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压	V_{SS}	-	$0.3V_{DD}$	
$t_{W(LSE)}$ $t_{W(LSE)}$	OSC32_IN 高或低的时间	450	-	-	ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 上升或下降的时间 ⁽¹⁾	-	-	50	



注 1: 由设计保证, 未经生产测试。

外部低速时钟源时序图



晶体谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。

有关晶体谐振器的详细参数(频率、封装、精度等), 请咨询相应的生产厂商。

HSE 振荡器特性

符号	参数	条件(注 1)	最小值(注 2)	典型值	最大值(注 2)	单位
f_{OSC_IN}	振荡器频率		4	8	32	MHz
R_F	反馈电阻		-	200	-	k Ω
I_{HSE}	HSE 电流消耗	启动期间(注 3)	-	-	8.5	mA
		$V_{DD}=3.3V$ $R_m=30\Omega$ $CL = 10\text{ pF}@8M$	-	0.4	-	
		$V_{DD}=3.3V$ $R_m=45\Omega$ $CL = 10\text{ pF}@8M$	-	0.5	-	
		$V_{DD}=3.3V$ $R_m=30\Omega$ $CL = 5\text{ pF}@32M$	-	0.8	-	
		$V_{DD}=3.3V$ $R_m=30\Omega$ $CL = 10\text{ pF}@32M$	-	1	-	
		$V_{DD}=3.3V$ $R_m=30\Omega$ $CL = 20\text{ pF}@8M$	-	1.5	-	
g_m	振荡器的跨导	启动	10	-	-	mA/V
$t_{SU(HSE)}$ (注 4)	启动时间	V_{DD} 稳定	-	2	-	ms

注 1: 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。



注 2: 由设计保证, 未经生产测试。

注 3: 在 $t_{SU(HSE)}$ 的期间发生此功耗。

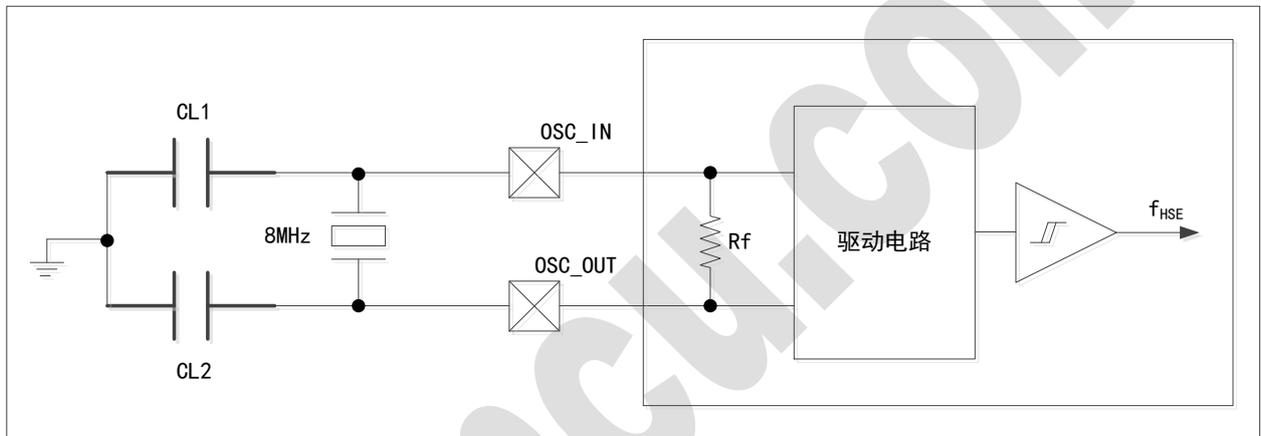
注 4: $t_{SU(HSE)}$ 是起振时间, 即从软件使能 HSE 开始测量, 直至得到稳定的 8 MHz 振荡频率这段时间。该值基于标准晶振谐振器测得, 可能随晶振制造商的不同而显著不同。

注 5: 对于 C_{L1} 和 C_{L2} , 建议使用高质量的、为高频应用而设计的 5pF~25Pf(典型值)之间的陶瓷电容。通常 C_{L1} 和 C_{L2} 参数相同。

注 6: 晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时, PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。

注 7: 在潮湿环境下, 产生的泄漏和偏置条件会发生了变化, 选择相对较低的 RF 电阻值, 可以提供相应的保护。如果 MCU 是应用在恶劣的潮湿条件时, 设计时需要把这个参数考虑进去。

8MHz 晶体的典型应用



晶体谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以使用一个由 32.768 kHz 的晶振构成的振荡器产生。本节介绍的信息通过设计仿真结果确定, 这些结果是使用下表列出的典型外部元器件获得的。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。

有关谐振器特性 (频率、封装、精度等) 的详细信息, 请咨询晶振谐振器制造商。

LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$)

符号	参数	条件(注1)	最小值(注2)	典型值	最大值(注2)	单位
I_{LSE}	LSE 电流消耗	LSEDRV[1:0]=00 低驱动能力	-	0.5	0.9	uA
		LSEDRV[1:0]=01 中低驱动能力	-	-	1	
		LSEDRV[1:0]=10 中高驱动能力	-	-	1.3	
		LSEDRV[1:0]=11 高驱动能力	-	-	1.6	



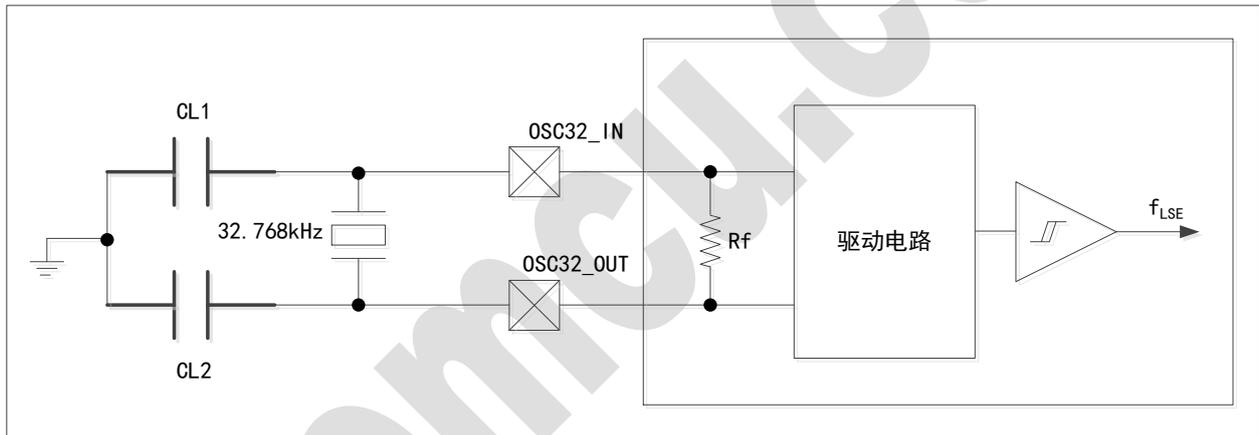
g _m	振荡器的跨导	LSEDRV[1:0]=00 低驱动能力	5	-	-	uA/V
		LSEDRV[1:0]=01 中低驱动能力	8	-	-	
		LSEDRV[1:0]=10 中高驱动能力	15	-	-	
		LSEDRV[1:0]=11 高驱动能力	25	-	-	
t _{SU(LSE)} (注3)	启动时间	V _{DD} 稳定	-	2	-	s

注 1: 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

注 2: 由设计保证, 未经生产测试。

注 3: t_{SU(HSE)} 是起振时间, 即从软件使能 LSE 开始测量, 直至得到稳定的 32.768 kHz 振荡频率这段时间。该值基于标准晶振谐振器测得, 可能随晶振制造商的不同而显著不同。

32.768 kHz 晶体的典型应用



注: OSC32_IN 和 OSC32_OUT 间不需要外部电阻, 也禁止添加。

7.3.8 内部时钟源特性

下表中给出的参数是在通用工作条件下测试得出。所提供的曲线基于特征结果, 未经生产测试。

高速内部(HSI)RC 振荡器

HSI 振荡器特性(注 1)

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	频率		-	16	-	MHz
DuCy _(HSI)	占空比		45(注2)	-	55(注2)	%
ACC _{HSI}	HSI 振荡器的精度 (出厂校准)	T _A = -40~105°C	-4.2(注3)	-	5.1(注3)	%
		T _A = -10~85°C	-3.2(注3)	-	3.1(注3)	
		T _A = 0~70°C	-2.5(注3)	-	2.3(注3)	
		T _A = 25°C	-1	-	1	
t _{SU(HSI)}	HSI 振荡器启动时间		1(注2)	-	2(注2)	μs



$I_{DD(HSI)}$	HSI 振荡器功耗	-	200	400 ^(注2)	μA
---------------	-----------	---	-----	---------------------	---------

注1: $V_{DDA} = 3.3V$, $T_A = -40 \sim 105^\circ C$, 除非特别说明。

注2: 由设计保证, 不在生产中测试。

注3: 数据基于特征结果, 未经生产测试。

HSI 振荡器精度表征结果

曲线待补充

低速内部(LSI)RC 振荡器

LSI 振荡器特性^(注1)

符号	参数		最小值	典型值	最大值	单位
f_{LSI}	频率	$T_A = -40 \sim 105^\circ C$	30	40	50	KHz
ACC_{LSI}	LSI 振荡器的精度 (出厂校准)	$T_A = 25^\circ C$	-1.5	-	1.5	%
$t_{SU(LSI)}$ ^(注2)	LSI 振荡器启动时间		-	-	85	μs
$I_{DD(LSI)}$ ^(注2)	LSI 振荡器功耗		-	1.5	3	μA

注1: $V_{DD} = 3.3V$, $T_A = -40 \sim 105^\circ C$, 除非特别说明。

注2: 由设计保证, 不在生产中测试。

注3: 数据基于特征结果, 未经生产测试。

7.3.9 PLL 特性

下表中给出的参数是在通用工作条件下测试得出。

PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟 ^(注1)	4 ^(注2)	8.0	24 ^(注2)	MHz
	PLL 输入时钟占空比	45 ^(注2)	-	55 ^(注2)	%
f_{PLL_OUT}	PLL 倍频输出时钟	16 ^(注2)	-	48	MHz
t_{LOCK}	PLL 锁相时间	-	-	200 ^(注2)	μs
Jitter _{PLL}	Cycle-to-Cycle 抖动	-	-	300 ^(注2)	ps
$I_{DD(PLL)}$ ^(注3)	PLL 振荡器功耗, HSI+PLL48MHz	-	0.4	-	mA

注1: 需要注意使用正确的倍频系数, 从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

注2: 由设计保证, 不在生产中测试。

注3: 数据基于特征结果, 未经生产测试。

7.3.10 存储器特性

FLASH 闪存存储器

除非特别说明, 所有特性参数是在 $T_A = -40 \sim 105^\circ C$ 得到。



FLASH 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值 ^(注1)	单位
t_{prog}	16 位的编程时间	$T_A = -40\sim 105^\circ\text{C}$	40	53.5	60	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_A = -40\sim 105^\circ\text{C}$	20		40	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^\circ\text{C}$	20		40	ms
I_{DD}	供电电流	读模式, $f_{HCLK}=48\text{MHz}$, 2 个等待周期, $V_{DD}=3.3\text{V}$			20	mA
		写/擦除模式, $f_{HCLK}=48\text{MHz}$, $V_{DD}=3.3\text{V}$			5	mA
		掉电模式/停机, $V_{DD}=3.3\sim 3.6\text{V}$			50	μA

注 1: 由设计保证, 不在生产中测试。

FLASH 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ^(注1)	典型值	最大值	单位
N_{END}	寿命(擦写次数)	$T_A = -40\sim 105^\circ\text{C}$	10	-	-	千次
t_{RET}	数据保存期限	$T_A = 85^\circ\text{C}$ 时, 1000 次擦写 ⁽²⁾ 之后	30	-	-	年
		$T_A = 105^\circ\text{C}$, 1000 次擦写 ⁽²⁾ 之后	10	-	-	
		$T_A = 55^\circ\text{C}$, 10000 次擦写 ⁽²⁾ 之后	20	-	-	

注 1: 由综合评估得出, 不在生产中测试。

注 2: 循环测试均是在整个温度范围下进行。

7.3.11 I/O 端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是在通用工作条件下测试得出。所有的 I/O 端口都是兼容 CMOS 和 TTL(除了 BOOT0)。

I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TC 和 TTa I/O	-	-	$0.25 V_{DDIOx}+0.07$ ^(注1)	V
		FT 和 FTf I/O	-	-	$0.475 V_{DDIOx}-0.3$ ^(注1)	
		BOOT0	-	-	$0.3 V_{DDIOx}-0.3$ ^(注1)	
		除了 BOOT0 的所有 I/O	-	-	$0.3 V_{DDIOx}$	
V_{IH}	输入高电平电压	TC 和 TTa I/O	$0.445 V_{DDIOx}+0.498$ ^(注1)	-	-	V
		FT 和 FTf I/O	$0.5 V_{DDIOx}+0.3$ ^(注1)	-	-	
		BOOT0	$0.2 V_{DDIOx}+0.95$ ^(注1)	-	-	
		除了 BOOT0 的所有 I/O	$0.7 V_{DDIOx}$	-	-	
V_{hys}	I/O 施密特触发器迟滞电压 ⁽¹⁾	TC 和 TTa I/O	-	200 ^(注1)	-	mV
		FT 和 FTf I/O	-	100 ^(注1)	-	
		BOOT0	-	300 ^(注1)	-	



I _{ikg}	输入漏电流 ^(注2)	TC、FT 和 FTf I/O TTa 处于数字模式 $V_{SS} \leq V_{IN} \leq V_{DDIOx}$	-	-	±0.1	μA
		TTa 处于数字模式 $V_{DDIOx} \leq V_{IN} \leq V_{DDA}$	-	-	1	
		TTa 处于模拟模式 $V_{SS} \leq V_{IN} \leq V_{DDA}$	-	-	±0.2	
		FT 和 FTf I/O $V_{DDIOx} \leq V_{IN} \leq 5V$	-	-	10	
R _{PU}	弱上拉等效电阻 ^(注3)	$V_{IN} = V_{SS}$	25	45	55	kΩ
R _{PD}	弱下拉等效电阻 ^(注3)	$V_{IN} = V_{DDIOx}$	25	45	55	
C _{IO}	I/O 引脚的电容		-	5	-	pF

注 1: 数据综合评估得出, 不在生产中测试。

注 2: 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。

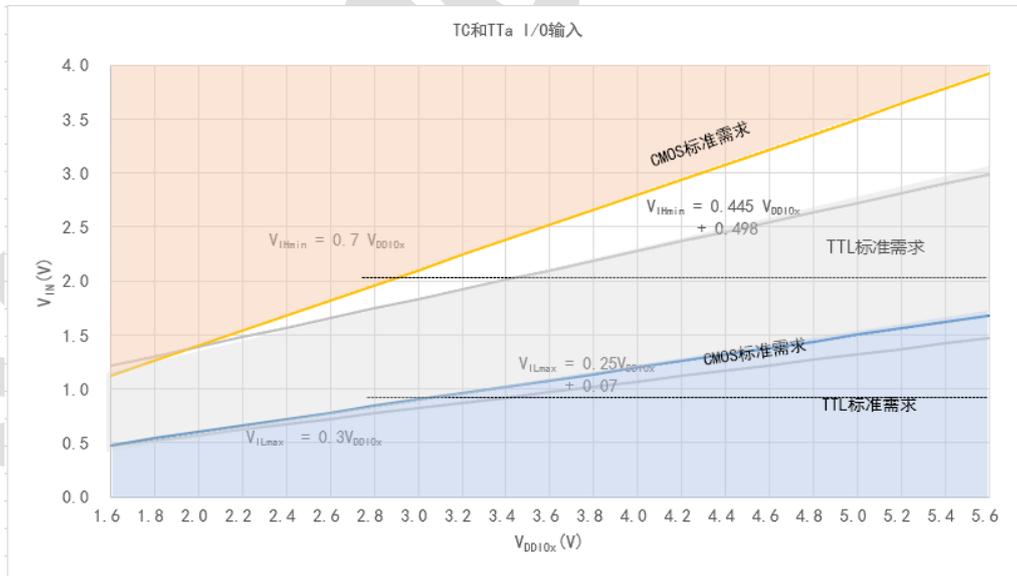
注 3: 上拉和下拉电阻, 设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

TTL 和 CMOS 兼容特性

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数要求。

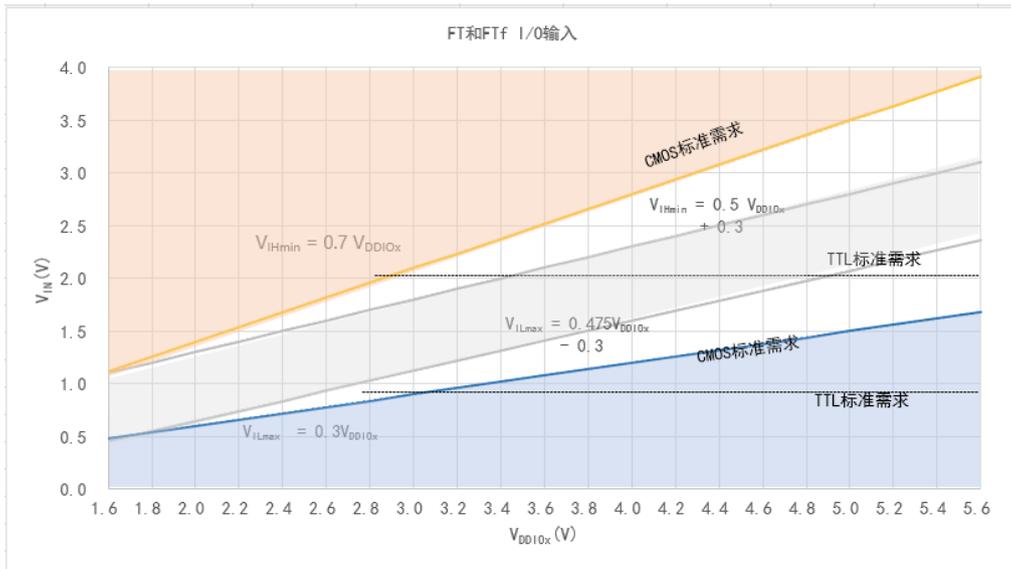
下图给出了标准 I/O 和 5V 耐受 I/O 对这些要求的覆盖。下述曲线为设计仿真结果, 未经生产测试。

TC 和 TTa I/O 输入特性





5V 耐受 (FT 和 FTf) I/O 输入特性



输出驱动电流

GPIO(通用输入/输出端口)可支持多达±8mA 拉电流或灌电流，放宽 V_{OL}/V_{OH} 的条件下，可达到±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 6.2 节给出的绝对最大额定值：

- ◇ 所有 I/O 端口从 V_{DDIOx} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 ΣI_{VDD} (参见 6.2 节电流特性)。
- ◇ 所有 I/O 端口从 V_{SS} 上获得的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 ΣI_{VSS} (参见 6.2 节电流特性)。

输出电压

除非特别说明，下表列出的参数是在通用工作条件下测试得出。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

输出电压特性(注 1)

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 输出低电平	CMOS 端口(注2), $ I_{IO} = 8mA$	-	0.4	V
V_{OH}	I/O 输出高电平	$V_{DDIOx} \geq 2.7V$	$V_{DDIOx}-0.4$	-	
V_{OL}	I/O 输出低电平	TTL 端口(注2), $I_{IO}=+8mA$	-	0.4	
V_{OH}	I/O 输出高电平	$V_{DDIOx} \geq 2.7V$	2.4	-	
$V_{OL}^{(3)}$	I/O 输出低电平	$ I_{IO} = 20mA$	-	1.3	
$V_{OH}^{(3)}$	I/O 输出高电平	$V_{DDIOx} \geq 2.7V$	$V_{DDIOx}-1.3$	-	
$V_{OL}^{(3)}$	I/O 输出低电平	$ I_{IO} = 6mA$	-	0.4	
$V_{OH}^{(3)}$	I/O 输出高电平	$2V < V_{DDIOx} < 2.7V$	$V_{DDIOx}-0.4$	-	
V_{OLFm+}	FTf I/O 输出低电平 Fm+模式下	$ I_{IO} = 20mA$ $V_{DDIOx} \geq 2.7V$	-	0.4	
		$ I_{IO} = 10mA$	-	0.4	

注 1: 芯片 I_{IO} 拉电流或灌电流必须始终遵循极限参数的绝对最大额定值，同时所有 I_{IO} 的拉电流或灌电流总和始终遵循极限参数的绝对最大额定值。



注 2: TTL 和 CMOS 输出均兼容 JEDEC 标准。

注 3: 由综合评估得出, 不在生产中测试。

输入输出交流特性

除非特别说明, 下表列出的参数是在通用工作条件下测试得出。

I/O 交流特性(注 1)(注 2)

OSPEED Ry[1:0](注 1)	符号	参数	条件	最小值	最大值	单位
x0b (2MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率(注 3)	$C_L=50\text{pF}$	-	2	MHz
	$t_{f(\text{IO})\text{out}}$	输出下降时间		-	125	ns
	$t_{r(\text{IO})\text{out}}$	输出上升时间		-	125	
01b (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率(注 3)	$C_L=50\text{pF}$	-	10	MHz
	$t_{f(\text{IO})\text{out}}$	输出下降时间		-	25	ns
	$t_{r(\text{IO})\text{out}}$	输出上升时间		-	25	
11b (50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率(注 3)	$C_L=30\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	50	MHz
			$C_L=50\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	30	
			$C_L=50\text{pF}, 2\text{V} < V_{\text{DDIOx}} < 2.7\text{V}$	-	20	
	$t_{f(\text{IO})\text{out}}$	输出下降时间	$C_L=30\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	5	ns
			$C_L=50\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	8	
			$C_L=50\text{pF}, 2\text{V} < V_{\text{DDIOx}} < 2.7\text{V}$	-	12	
	$t_{r(\text{IO})\text{out}}$	输出上升时间	$C_L=30\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	5	
			$C_L=50\text{pF}, V_{\text{DDIOx}} \geq 2.7\text{V}$	-	8	
			$C_L=50\text{pF}, 2\text{V} < V_{\text{DDIOx}} < 2.7\text{V}$	-	12	
Fm+配置 (注 4)	$f_{\max(\text{IO})\text{out}}$	最大频率(注 3)	$C_L=50\text{pF}$	-	2	MHz
	$t_{f(\text{IO})\text{out}}$	输出下降时间		-	12	ns
	$t_{r(\text{IO})\text{out}}$	输出上升时间		-	34	
-	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度	-	10	-	ns

注 1: I/O 端口的速度可以通过 OSPEEDRy[1:0]配置。参见用户手册中有关 GPIO 端口配置寄存器的说明。

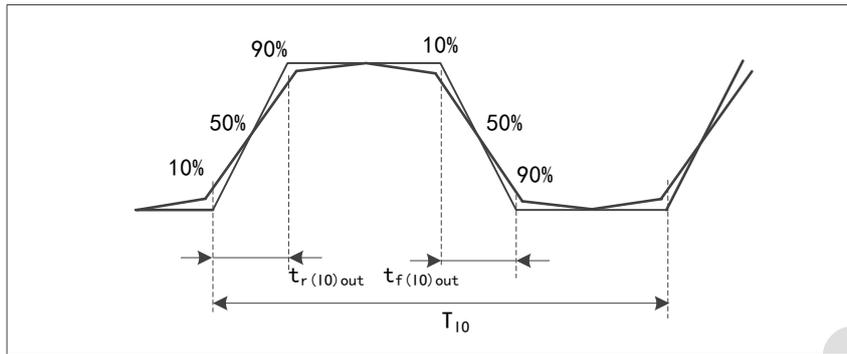
注 2: 由设计保证, 不在生产中测试。

注 3: 最大频率由下图所示。

注 4: 当配置 Fm+模式, 旁路 I/O 的速度控制。参考用户手册 Fm+ I/O 配置说明。



I/O 交流特性定义



注：按照<I/O 交流特性>指定 C_L 负载，当 $(t_{r(10)\text{out}} + t_{f(10)\text{out}}) \leq 2/3T_{IO}$ ，且占空比为 45%~55%时达到最大频率。

7.3.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，内建一个保持开启的上拉电阻 R_{PU} 。

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

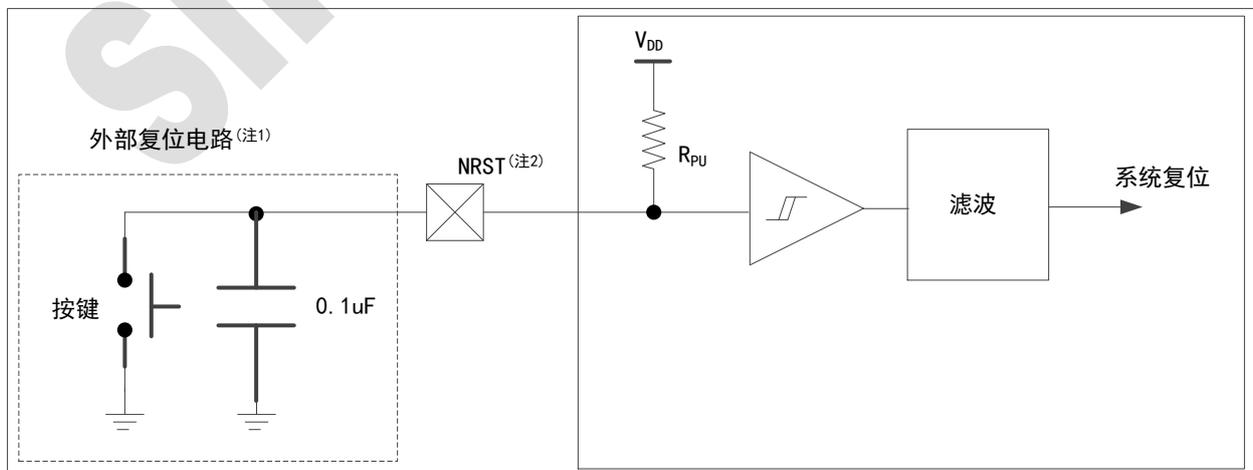
NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-	-	$0.25 V_{DD} + 0.07$ (注1)	V
$V_{IH(NRST)}$	NRST 输入高电平电压		$0.445 V_{DD} + 0.498$ (注1)	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器迟滞电压		-	200	-	mV
R_{PU}	弱上拉等效电阻(注2)	$V_{IN} = V_{SS}$	25	43	55	kΩ
$V_{F(NRST)}$	NRST 输入脉冲宽度		1(注1)	-	-	us

注 1：基于设计仿真，不在生产中测试。

注 2：上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

NRST 外围电路推荐





注 1: 复位网络是为了防止寄生复位。

注 2: 用户必须保证 NRST 引脚的电位能够低于 <NRST 引脚特性> 中列出的最大 $V_{IL(NRST)}$ 以下, 否则 MCU 会执行复位。

7.3.13 12 位 ADC 特性

除非特别说明, 下表列出的参数是在通用工作条件下测试得出。

注: 建议在每次上电时执行一次校准。

ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.7	3.3V	5.5	V
$I_{DDA(ADC)}$	ADC 的电流消耗 ^(注 1)	$V_{DD} = V_{DDA} = 3.3V$	-	0.9	-	mA
f_{ADC}	ADC 时钟频率		0.6	-	16	MHz
f_S ^(注 2)	采样速率		0.05		1	MHz
f_{TRIG} ^(注 2)	外部触发频率	$f_{ADC} = 16MHz$	-	-	800	kHz
			-	-	20	1/ f_{ADC}
V_{AIN}	转换电压范围		0	-	V_{DDA}	V
R_{AIN} ^(注 2)	外部输入阻抗	参见附注公式和表格	-	-	50	k Ω
R_{ADC} ^(注 2)	采样开关电阻		-	-	1	k Ω
C_{ADC} ^(注 2)	内部采样和保持电容		-	-	8	pF
t_{CAL} ^(注 2)	校准时间	$f_{ADC} = 16MHz$	136			μs
			-			1/ f_{ADC}
t_S ^(注 2)	采样时间	$f_{ADC} = 16MHz$	0.219	-	16.7	μs
			3.5	-	239.5	1/ f_{ADC}
t_{STAB} ^(注 2)	上电时间		-	2048	-	1/ f_{ADC}
t_{CONV} ^(注 2)	总的转换时间(包括采样时间)	$f_{ADC} = 16MHz$	1	-	18	μs
			14~252(采样 t_S +逐步逼近 12.5)			1/ f_{ADC}

注 1: 在转换采样值的期间 ($12.5 \times ADC$ 时钟周期), 应考虑 I_{DDA} 上 $100 \mu A$ 及 I_{DD} 上 $60 \mu A$ 的额外消耗。

注 2: 由设计保证, 不在生产中测试。

注 3: 公式: R_{AIN} 最大值公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

其中, $N=12$, 表示 12 位分辨率。

$f_{ADC}=16MHz$ 时的最大 R_{AIN}

T_S (周期)	$t_S(\mu s)$	最大 $R_{AIN}(k\Omega)$ ^(注 1)
3.5	0.22	1.8
7.5	0.47	5.0
13.5	0.84	9.9
28.5	1.78	21.9
41.5	2.59	32.4



55.5	3.47	43.7
71.5	4.47	56.6
239.5	14.97	191.8

注 1: 由设计保证, 不在生产中测试。

ADC 精度(注 1)(注 2)(注 3)

符号	参数	测试条件	典型值	最大值 (注 4)	单位
ET	总绝对误差	f _{PCLK} =48MHz, f _{ADC} =16MHz, R _{AIN} <10kΩ, V _{DDA} =3~3.6V, T _A =25°C	±1.3	±4	LSB
EO	偏移误差		±1	±4	
EG	增益误差		±0.5	±1.5	
ED	微分线性误差		±0.7	±1	
EL	积分线性误差		±1	±2	
ET	总绝对误差	f _{PCLK} =48MHz, f _{ADC} =16MHz, R _{AIN} <10kΩ, V _{DDA} =2.7~3.6V, T _A =-10~105°C	±3.3	±6	LSB
EO	偏移误差		±1.9	±4	
EG	增益误差		±2.8	±3	
ED	微分线性误差		±0.7	±1.3	
EL	积分线性误差		±1.2	±2	

注 1: ADC 的直流精度数值是在经过内部校准后测量的。

注 2: ADC 精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, 增加一个肖特基二极管(引脚与地之间)。只要正向的注入电流, 只要处于 6.2 章节中给出的 I_{INJ(PIN)}和ΣI_{INJ(PIN)}范围之内, 就不会影响 ADC 精度。

注 3: 通过限制 VDDA、频率和温度范围, 可以获得更佳的性能。

注 4: 数据基于特性分析结果, 不在生产中测试。

ADC 精度特性

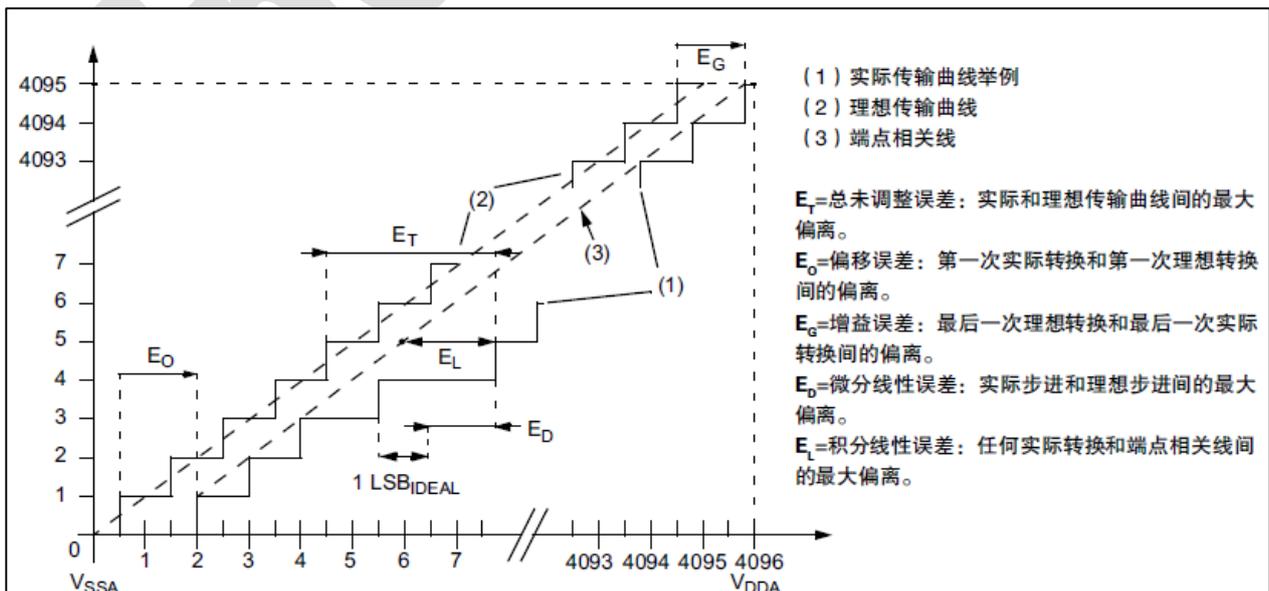
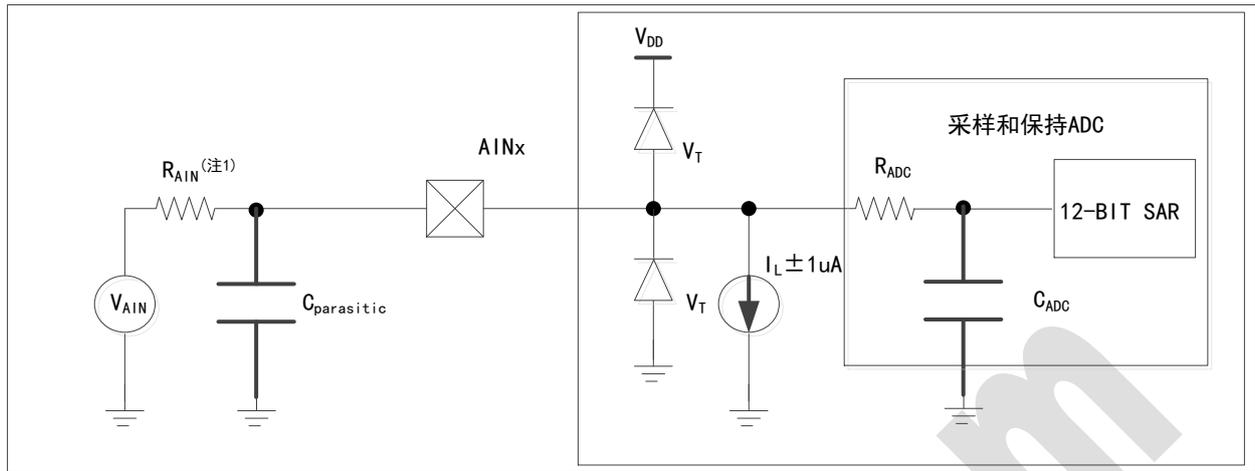


图 1. 使用 ADC 典型的连接图



注 1: 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值, 参见上表。

注 2: $C_{parasitic}$ 表示 PCB 与焊盘上的寄生电容(与焊接和 PCB 布局质量相关, 大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度, 解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去藕参见 6.1.6 供电方案。图中的 10nF 电容必须是瓷介电容(质量好), 它们应该尽可能地靠近 MCU 芯片。

7.3.14 温度传感器特性*

Temp Sensor 特性

符号	参数	最小值	典型值	最大值	单位
T_L (注 1)	V_{SENSE} 温度线性度	-	± 1	± 2	$^{\circ}\text{C}$
Avg_Slope(注 1)	平均斜率		4.3		$\text{mV}/^{\circ}\text{C}$
V_{30}	30 $^{\circ}\text{C}$ ($\pm 5^{\circ}\text{C}$) 的电压(注 2)	1.34	1.43	1.52	V
t_{START} (注 1)	启动时间	4	-	10(注 3)	μs
t_{S_temp} (注 1)	读取温度时的 ADC 采样时间	4	-	-	μs

注 1: 由设计保证, 未经生产测试。

注 2: 在 $V_{DDA} = 3.3\text{V} \pm 10\text{mV}$ 测量。 V_{30} ADC 转换结果存储于 TS_CAL1 字节中。请参见<3.20.1 温度传感器校准值>。

注 3: ADEN 使能后, 延迟 256 μs 后, 才可以使能 TSEN, 再等待 t_{START} 时间后可以 ADC 采样。只要 ADEN 保持开启, 后续的再次使能 TSEN, 只需等待 t_{START} 时间后就可以 ADC 采样。

7.3.15 VBAT 监测特性

VBAT 监测特性

符号	参数	最小值	典型值	最大值	单位
R	V_{BAT} 分压电阻	-	50	-	$\text{k}\Omega$
Q	V_{BAT} 分压比	-	2	-	
Er (注 1)	Q 的误差	-1	-	+1	%
t_{S_Vbat} (注 1)	读取 V_{BAT} 时的 ADC 采样时间	4	-	-	μs



注 1: 由设计保证, 未经生产测试。

7.3.16 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情, 参见 I/O 端口特性。

TIMx 特性

符号	参数	条件	最小值	最大值	单位
t _{res(TIM)}	定时器分辨时间		1		t _{TIMxCLK}
		f _{TIMxCLK} =48MHz	20.8		ns
f _{EXT}	CH1 至 CH4 的定时器外部 时钟频率		0	f _{TIMxCLK} /2	MHz
		f _{TIMxCLK} =48MHz	0	24	
Re _{TIM}	定时器分辨率	TIMx (除了 TIM2)	-	16	位
		TIM2	-	32	
t _{COUNTER}	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	t _{TIMxCLK}
		f _{TIMxCLK} =48MHz	0.0208	1365	μs
t _{MAX_COUNT}	32 位计数器最大可能的计 数			65536 x 65536	t _{TIMxCLK}
		f _{TIMxCLK} =48MHz		89.48	s

40 kHz (LSI) 频率条件下 IWDG 最小/最大超时周期^(注 1)

预分频	PR[2:0]位	最短超时 RL[11:0]=0x000	最长超时 RL[11:0]=0xFFFF	单位
/4	0	0.1	409.6	ms
/8	1	0.2	819.2	
/16	2	0.4	1638.4	
/32	3	0.8	3276.8	
/64	4	1.6	6553.6	
/128	5	3.2	13107.2	
/256	6 或 7	6.4	26214.4	

注 1: 这些时间均针对 40 kHz 时钟给出。实际上, MCU 内部的 RC 频率会在 30 到 60kHz 之间变化。此外, 即使 RC 振荡器的频率是精确的, 确切的时序仍然依赖于 APB 接口时钟与 RC 振荡器时钟之间的相位差, 会有一个完整的 RC 周期不确定性。

48 MHz (PCLK) 频率条件下 WWDG 最小/最大超时周期

预分频	WDGTB 位	最短超时	最长超时	单位
/1	0	0.0853	5.4613	ms
/2	1	0.1706	10.9226	
/4	2	0.3413	21.8453	
/8	3	0.6826	43.6906	



注: $t_{WWDG} = t_{PCLK} \times 4096 \times 2^{WDGTB[1:0]} \times (T[5:0] + 1)$ (ms)

7.3.17 通信接口

SPI 接口特性

除非特别说明, 下表列出的参数是在通用工作条件下测试得出。

有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情, 参见 I/O 端口特性。

SPI 特性^(注 1)

符号	参数	条件	最大值	最大值	单位	
$f_{SCK1}/t_{c(SCK)}$	SPI 时钟频率	主模式	-	18	MHz	
		从模式	-	12		
$t_{r(SCK)}$ $t_{f(SCK)}$	SCK 上升和下降时间	负载电容: C=15pF	-	6	ns	
$t_{su(NSS)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-		
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{PCLK} + 10$	-		
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36\text{MHz}$, 预分频系数=4	$t_{PCLK}/2 - 2$	$t_{PCLK}/2 + 1$		
$t_{su(MI)}$	数据输入建立时间	主模式	4	-		
$t_{su(SI)}$	数据输入建立时间	从模式	5	-		
$t_{h(MI)}$	数据输入保持时间	主模式	4	-		
$t_{h(SI)}$	数据输入保持时间	从模式	5	-		
$t_{a(SO)}^{(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20\text{MHz}$	0	$3t_{PCLK}$		
$t_{dis(SO)}^{(2)}$	数据输出禁止时间	从模式	0	18		
$t_{v(SO)}$	数据输出有效时间	从模式(使能边沿之后)	-	22.5		
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)	-	6		
$t_{h(SO)}^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	11.5	-		
$t_{h(MO)}^{(2)}$	数据输出保持时间	主模式(使能边沿之后)	2	-		
DuCy(SCK)	SPI 从输入时钟占空比	从模式	25	75		%

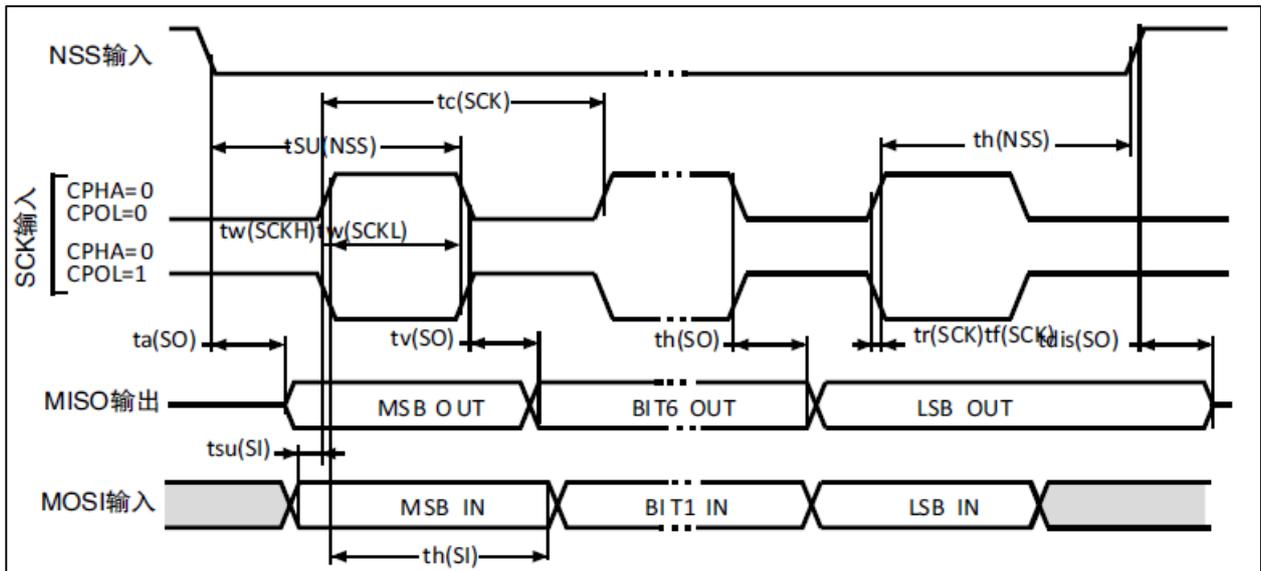
注 1: 数据基于特征结果, 未经生产测试。

注 2: 最短时间是指驱动输出所需的最短时间, 最长时间是指数据变为有效所需的最长时间。

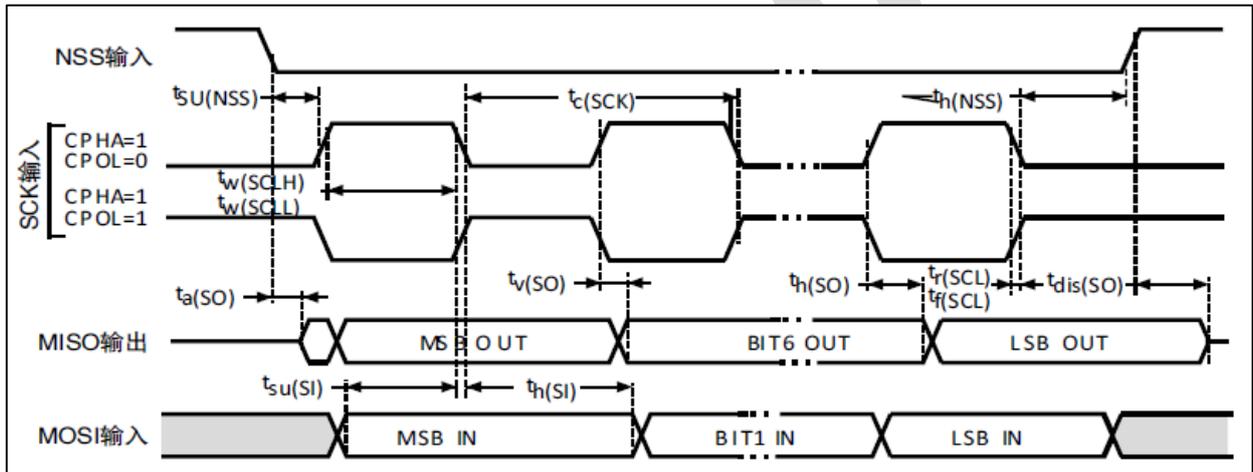
注 3: 最短时间是指输出变为无效所需的最短时间, 最长时间是指将数据置为高阻态 (Hi-Z) 所需的最长时间。



SPI 时序图 (从模式, CPHA=0)



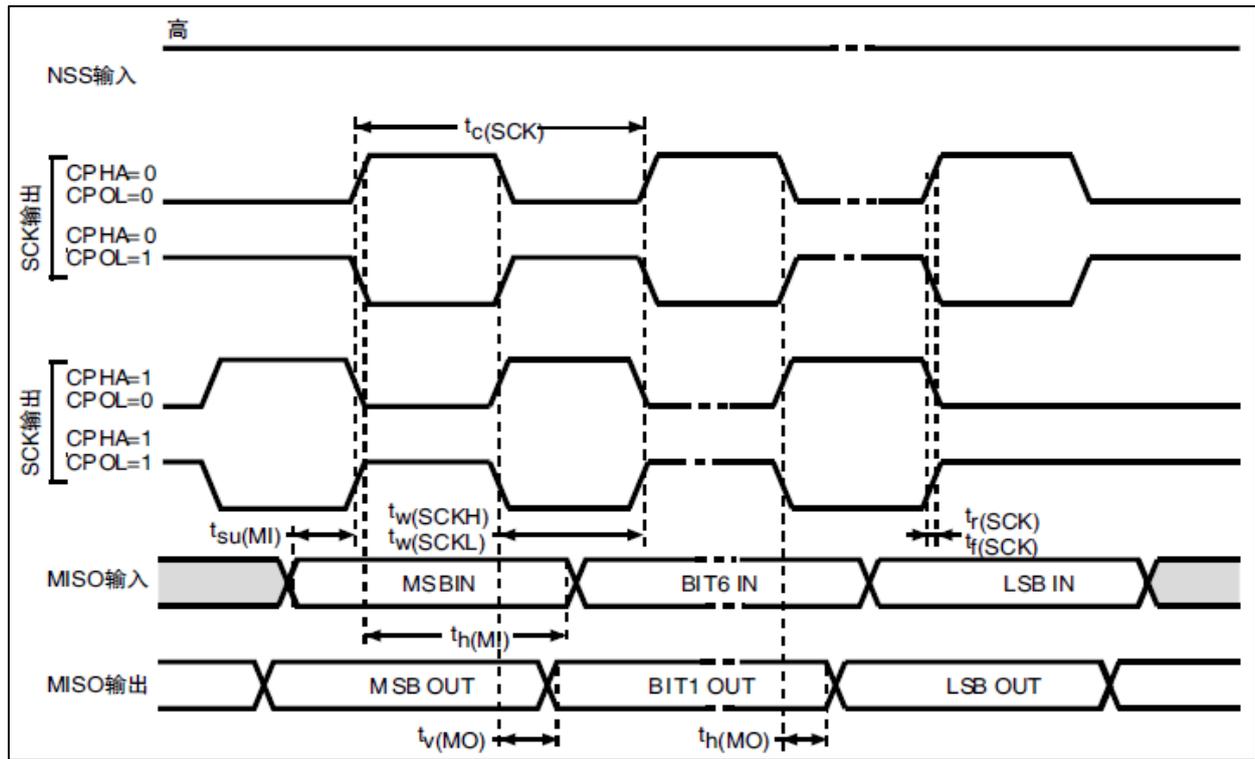
SPI 时序图 (从模式, CPHA=1)



注: 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$



SPI 时序图 (主模式)



注: 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$

7.3.18 模拟比较器 CMP 特性

下表中给出的参数是在通用工作条件下测试得出。

模拟比较器特性

符号	参数	条件	最小 ^(注1)	典型	最大 ^(注1)	单位
V_{DDA}	工作电压		V_{DD}	5.0	5.5	V
I_{CMP}	工作电流	$V_{DDA}=5.0V$	-	50	100	μA
T_A	工作温度		-40	25	105	$^{\circ}C$
V_{IN}	输入共模电压范围		V_{SS}	-	V_{DDA}	V
V_{OFFSET}	输入失调电压		-	± 5	± 10	mV
dV_{OFFSET}/dT	输入失调电压随温度变化率		-	18	25	$\mu V/^{\circ}C$
I_{IN}	输入电流		-	0	1	μA
V_{OUT}	输出逻辑电压		V_{SS}	-	V_{DD}	V
T_{PD1}	小信号响应时间	$V_{DDA}=5.0V$, 无迟滞, 每 10mV 档位变化	-	-	0.5	μs
T_{PD2}	大信号响应时间	$V_{DDA}=5.0V$, 无迟滞, 每 100mV 档位变化	-	-	0.3	μs
A_{OL}	开环增益		60	120	-	dB
V_{HYST1}	迟滞窗口 1		-	0	-	mV
V_{HYST2}	迟滞窗口 2		-	15	-	mV



符号	参数	条件	最小 ^(注1)	典型	最大 ^(注1)	单位
V _{HYST3}	迟滞窗口 3		-	30	-	mV
V _{HYST4}	迟滞窗口 4		-	90	-	mV
V _{VREFCMP}	内置 VREF 电压	常温	-1% ^(注2)	2	+1% ^(注2)	V
T _{VREFCMP}	VREF 使能后建立时间		-	100	200	μs

注 1: 数据基于特征结果, 未经生产测试。

注 2: 此精度数据, 经生产测试校准。此参考电压源与 ADC 参考电压源, 都是由内部相同的 bandgap 产生, 温度特性可参考 6.3.4 内置参考电压章节。

7.3.19 运算放大器 OPAMP 特性

下表中给出的参数是在通用工作条件下测试得出。

运算放大器特性

符号	参数	条件	最小 ^(注1)	典型	最大 ^(注1)	单位
V _{DDA}	工作电压	-	V _{DD}	5.0	5.5	V
I _{AMP}	工作电流	V _{DDA} =5.0V	-	0.7	1	mA
T _A	工作温度	-	-40	25	105	°C
V _{IN}	输入共模电压范围	-	V _{SS}	-	V _{DDA}	V
V _{OFFSET}	输入失调电压	-	-	-	±2	mV
dV _{OFFSET} /dT	输入失调电压随温度变化率	-	-	18	25	μV/°C
CMRR	共模抑制比		60	90	-	dB
PSRR	电压抑制比		60	90	-	dB
A _{OL}	开环增益		60	80	-	dB
GBW	增益带宽		2	8	-	MHz
SR	压摆率		11.5	15.3	-	V/μs
R _{LOAD}	电阻性负载		4	-	-	kΩ
C _{LOAD}	电容性负载		-	-	50	pF
I _{LOAD}	驱动电流		-	-	2	mA
V _{OHSAT}	高饱和输出电压	R _L =4 kΩ, 输入 V _{DDA}	V _{DDA} -200	-	-	mV
V _{OLSAT}	低饱和输出电压	R _L =4 kΩ, 输入 V _{SS}	-	-	V _{SS} +200	mV
PM	相位裕度		-	60	-	°
T _{WAKEUP}	关闭状态到唤醒建立时间	R _L ≥4 kΩ, C _L ≤50pF, 电压跟随器	-	2.5	5	μs
P _{GAIN}	增益精度	T _A =-40~105°C, V _{DD} =5.0V	-	±0.5	±1	%
GAIN1	增益值 1	反馈阻值/负端阻值		2		
GAIN2	增益值 2	反馈阻值/负端阻值		4		
GAIN3	增益值 3	反馈阻值/负端阻值		8		
GAIN4	增益值 4	反馈阻值/负端阻值		16		

注 1: 数据基于特征结果, 未经生产测试。



7.3.20 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED), 测试样品被施加指定电磁干扰直到产生错误, LED 闪烁指示了错误的产生。

通过器件复位可恢复正常工作。

功能性 EMS 包括: 动态 ESD 和 EFT 群脉冲测试。

EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一 I/O 脚, 从而导致功能错误的电压极限。	$V_{DD}=3.3V$, LQFP48, $T_A=+25^\circ C$, $f_{HCLK}=48MHz$ 。 符合 IEC 1000-4-2 标准	2B
V_{FEFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD}=3.3V$, LQFP48, $T_A=+25^\circ C$, $f_{HCLK}=48MHz$ 。 符合 IEC 1000-4-4 标准	4A

注 1: 基于特征结果, 不在生产中测试。此测试项通过内部专用设备测试, 由于不同供应商设备施加干扰强度有差异, 结果会有不同。

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的 EMC 性能与用户应用和具体的软件密切相关。

因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制:

- ◇ 程序计数器损坏
- ◇ 意外的复位
- ◇ 关键数据被破坏(控制寄存器等.....)

认证前试验

很多常见的失效(意外的复位和程序计数器被破坏), 可以通过人为地在 NRST 引脚或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行测试时, 可以把超出应用要求 ESD 压力测试直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED), 监测芯片发射的电磁场。这个发射测试符合 IEC 61967-2 标准, 这个标准规定了测试板和引脚的负载。

EMI 特性^(注 1)

符号	参数	条件	监测的频段	最大值 ($f_{HSE}=8MHz$ / $f_{HCLK}=48MHz$)	单位
S_{EMI}	峰值	$V_{DD}=3.3V$, $T_A=25^\circ C$,	0.1~30MHz	-11	dB μ V



	LQFP48 封装 符合 IEC 61967-2	30~130MHz	21	
		130MHz~1GHz	21	
		EMI 级别	-	-

注 1: 基于特征结果, 不在生产中测试。此测试项委托第三方测试认证机构测试, 并提供相关报告。

静态 ESD

根据每种引脚组合, 对每个样本的引脚施加静电放电 (一个正脉冲后接着一个负脉冲, 两个脉冲间隔一秒钟)。样本大小取决于器件中供电引脚的数目 (3 个器件 x (n+1) 个供电引脚)。此项测试符合 JESD22-A114/C101 标准。

静态 ESD 特性^(注 1)

符号	参数	条件	封装 ^(注 2)	最大值	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A=+25^{\circ}\text{C}$, 符合 JESD22-A114	最大封装	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A=+25^{\circ}\text{C}$, 符合 JESD22-C101	最大封装	-	

注 1: 基于特征结果, 不在生产中测试。此测试项委托第三方测试认证机构测试, 并提供相关报告。

注 2: 除非特别说明, 仅测试脚位最大封装。

静态闩锁 (LatchUp)

为了评估闩锁性能, 需要在 6 个样品上进行 2 个互补的静态闩锁测试:

- ◇ 为每个电源引脚, 提供超过极限的供电电压。
- ◇ 在每个输入、输出和可配置的 I/O 引脚上注入电流。

静态 LU 特性^(注 1)

符号	参数	条件	最大值	类型
LU	静态闩锁	$T_A=+25^{\circ}\text{C}$, I-Test	+400/-350	mA
		$T_A=+25^{\circ}\text{C}$, V_{supply} Over-voltage test	8.25	V

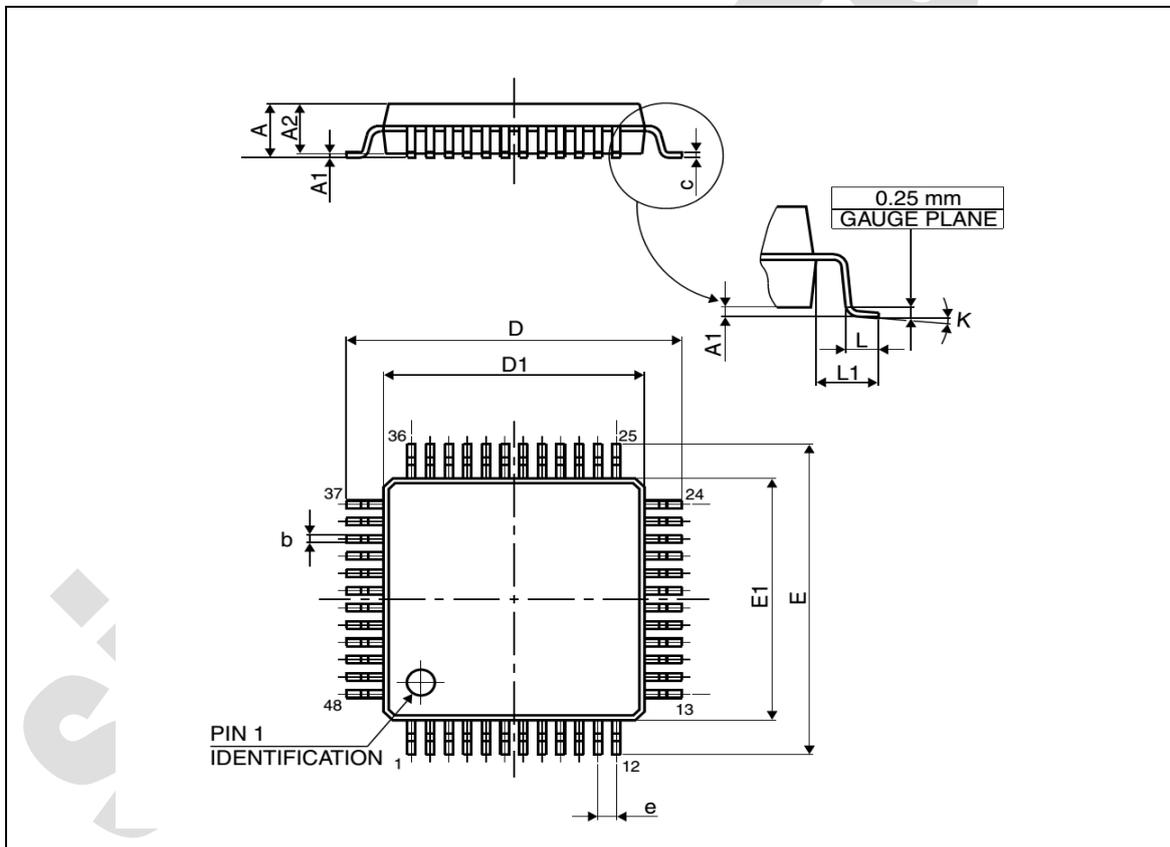
注 1: 基于特征结果, 不在生产中测试。此测试项委托第三方测试认证机构测试, 并提供相关报告。



8 封装特性

1.1 LQFP48 (0.5mm pitch)

Symbol	millimeter			Symbol	millimeter		
	Min	Tpy	Max		Min	Tpy	Max
A			1.60	E	8.80	9.00	9.20
A1	0.05		0.20	E1	6.90	7.00	7.10
A2	1.35	1.40	1.45	e		0.5	
b	0.19		0.27	K	0°	3.5°	7°
c	0.13		0.18	L	0.45		0.65
D	8.80	9.00	9.20	L1		1.00	
D1	6.90	7.00	7.10	N	Pin number =48		

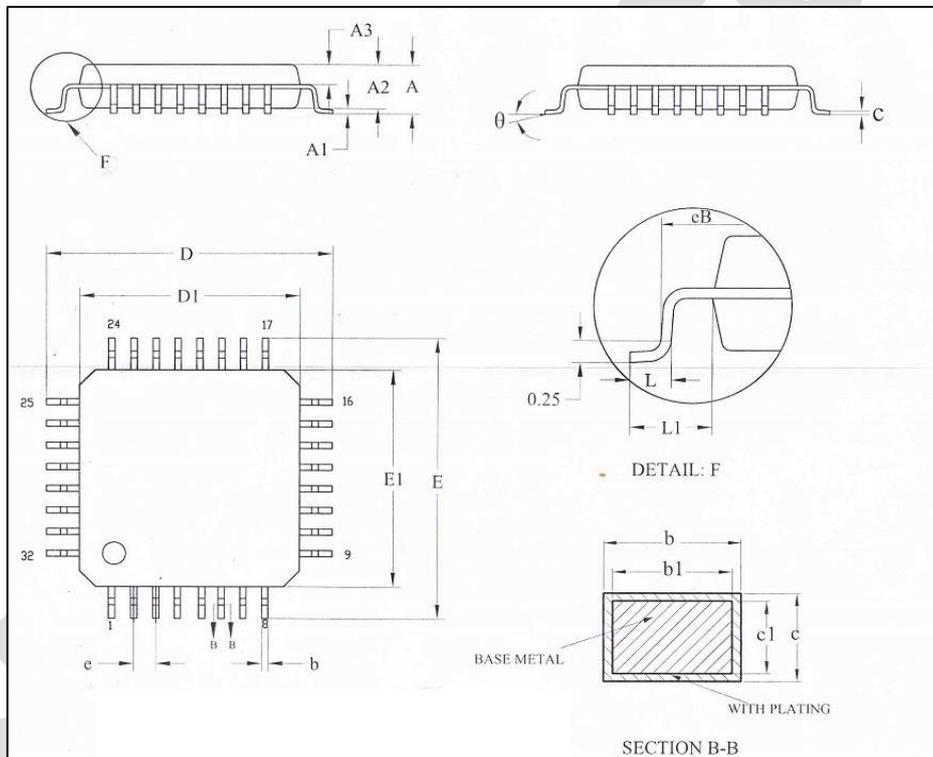


1. 图不是按照比例绘制。
2. 尺寸单位为毫米。



1.2 LQFP32 (0.8mm pitch)

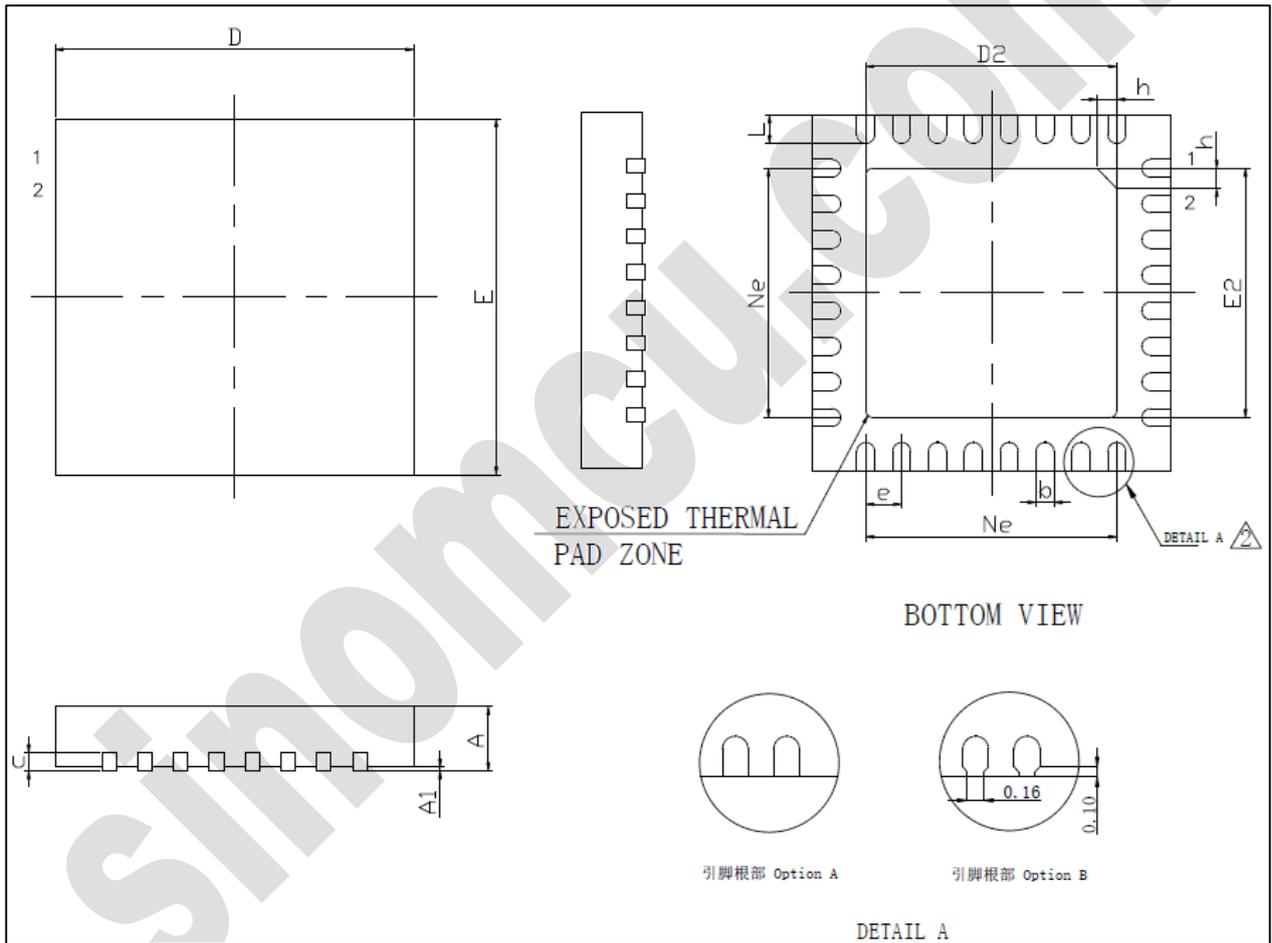
Symbol	millimeter			Symbol	millimeter		
	Min	Tpy	Max		Min	Tpy	Max
A	-	-	1.60	E	8.80	9.00	9.20
A1	0.05	-	0.15	E1	6.90	7.00	7.10
A2	1.35	1.40	1.45	eB	8.10	-	8.25
A3	0.59	0.64	0.69	e	-	0.80BSC	-
b	0.33	-	0.41	θ	0°	3.5°	7°
c	0.13	-	0.17	L	0.45	-	0.75
c1	0.12	0.13	0.14	L1	-	1.00REF	-
D	8.80	9.00	9.20	-	-	-	-
D1	6.90	7.00	7.10	N	Pin number =32		





1.4 QFN32 (5x5x0.75-0.50mm pitch)

Symbol	millimeter			Symbol	millimeter		
	Min	Tpy	Max		Min	Tpy	Max
A	0.70	0.75	0.80	D2	3.40	3.50	3.60
A1	-	0.02	0.05	E2	3.40	3.50	3.60
c	0.18	0.20	0.25	e	0.50BSC		
b	0.18	0.25	0.30	Ne	0.35BSC		
D	4.90	5.00	5.10	L	0.35	0.40	0.45
E	4.90	5.00	5.10	h	0.30	0.35	0.40





9 产品命名

MS32	F	031	A	6	A0	XX	X
①	②	③	④	⑤	⑥	⑦	⑧

- ① 标识内核
MS32: 32 位 ARM Cortex-M0 内核
- ② 标识产品类型
F: 通用类产品
- ③ 子系列名称
031: 031 系列产品
- ④ 标识同一系列产品的不同型号
A: 基础版
B: 扩展版
- ⑤ 标识 MCU 存储器容量, 由一到三位数字组成
4: 16k
5: 24k
6: 32k
- ⑥ 管脚排序类别
A0: 基础排序
- ⑦ 封装标识, 1 位或 2 位字母组成
ZW: LQFP48
ZC: LQFP32
YA: QFN32(4x4)
YT: QFN32(5x5)
- ⑧ 温度范围
6: -40°C~85°C
7: -40°C~105°C



10 修改记录

版本号	修订者	修订日期	修订内容
V1.0.0	晟矽微电	2021-10-13	初始版本
V1.0.1	晟矽微电	2021-10-15	勘误 1、 引脚定义表格中，I/O 结构修正更新 2、 概述中，去除-40~85°C描述
V1.0.2	晟矽微电	2022-3-15	勘误 1、 修改系统框图，删除 DIV 指令，M0 内核仅支持硬件 32bit 乘法指令 2、 GPIO: 修正引脚定义表格中 PB9/PB5/PA11/PA12 复用功能与端口复用表格一致； 修正 PB2 的 IO 结构为 TTa
V1.1.0	晟矽微电	2022-4-21	1、修改温度传感器和 vrefint 的出厂校准值说明； 2、修改文档样式
V1.2.0	晟矽微电	2022-10-18	1、修改文档公司 logo 和水印 2、修正 I2C 模块，暂不开放，详情问询技术支持人员 3、增加比较器参考电压参数
V1.2.1	晟矽微电	2023-7-25	1、增加订购信息章节，并调整引脚定义至第 3 章节； 2、勘误
V1.2.2	晟矽微电	2023-1-23	1、LIRC 精度调整； 2、待机模式电流修改。 3、去除 EVENTOUT 功能
V1.2.3	晟矽微电	2024-5-17	1、增加 QFN32(5x5)封装，封装代号 A0YT



11 免责声明

本资料内容为晟矽微电（以下简称“我公司”）版权所有。

我公司将力求本资料的内容做到准确无误，但同时保留在不通知用户的情况下，对本资料内容的修改权。如您需要获得最新的资料，请及时联系我公司。

我公司将尽最大努力为您提供高品质、高稳定性的产品。尽管如此，由于一般半导体器件的电气敏感性及易受到外部物理损伤等固有特性存在，所以难免造成半导体器件出现故障或失效的可能。当您使用我公司产品时，有责任按照本资料以及相连资料中提到的“规则”来设计一个稳定及安全可靠的系统环境。另外，在遇到超规格（本资料中未描述到内容）的使用，请您提前咨询我公司，以免因我公司产品在一些特殊设备中或者特殊环境下的使用，导致财产损失、人员伤亡等严重后果的发生。因超规格的使用、未经咨询授权我公司产品的使用，我公司对此不承担任何法律责任。