



MC51F8144B 用户手册

基于增强型 8051 内核的 8 位触摸控制芯片

Rev1.1.0

本资料内容为晟矽微电子（以下简称“我公司”）版权所有。

我公司将力求本资料的内容做到准确无误，但同时保留在不通知用户的情况下，对本资料内容的修改权。如您需要获得最新的资料，请及时联系我公司。

我公司将尽最大努力为您提供高品质、高稳定性的产品。尽管如此，由于一般半导体器件的电气敏感性及其易受到外部物理损伤等固有特性存在，所以难免造成半导体器件出现故障或失效的可能。当您使用我公司产品时，有责任按照本资料以及相关资料中提到的“规则”来设计一个稳定及安全可靠的系统环境。另外，在遇到超规格（本资料中未描述到内容）的使用，请您提前咨询我公司，以免因我公司产品在一些特殊设备中或者特殊环境下的使用，导致财产损失、人员伤亡等严重后果的发生。因超规格的使用、未经咨询授权我公司产品的使用，我公司对此不承担任何法律责任。



1T 8051 内核 FLASH 型 MCU，主频高达 12MHz，16KB FLASH ROM，768B SRAM，最高 1k EEPROM-like，12 位 ADC，高精度触摸按键电路，LED 驱动，1 路 4 通道 16 位共周期 PWM0 和 2 路单通道 16 位 PWM1/2，3 个 16 位定时器，2 路 UART，IIC，SPI，低电压检测 LVD，两线调试口

主要特性

CPU

- ◇ 1T 高速增强型 8051 内核
- ◇ 系统时钟可软件分频 (12M/6M/4M)

存储器

- ◇ 片上 16K 字节 FLASH
- ◇ 768 (256data+512xdata) 字节 SRAM
- ◇ 片上最高 1K 字节 EEPROM-LIKE
- ◇ FLASH 支持在电路编程 (ICP)
- ◇ EEPROM-LIKE 支持在应用编程 (IAP)

时钟源

- ◇ 片上 HIF 内部高频时钟
- ◇ 片上 1MHz RC 振荡器，供 LED 使用
- ◇ 片上 32KHz RC 低速振荡器，供看门狗定时器和 T2 使用
- ◇ 外部可接 32768Hz 晶体振荡器

电源管理

- ◇ 工作电压 2.5V~5.5V
- ◇ 内建 LDO 稳压器，用于 CPU 内核及数字外设供电
- ◇ 2 种工作模式：NORMAL/STOP

复位

- ◇ 支持 6 种复位类型：上电复位 (POR/BOR)、看门狗复位(WDT)、PROG 复位、软件复位、PC 地址溢出复位、DEBUG 复位
- ◇ 看门狗复位，可选 8 种溢出时间

I/O

- ◇ 最多 26 个双向通用 I/O 口 (28 pin 封装下)
- ◇ 支持 2 种模式 (输入/输出模式)，内部上拉
- ◇ P0 口支持大电流驱动 (灌电流)

定时器/计数器

- ◇ 2 个 16 位 T0/T1 定时器
- ◇ 1 个 16 位增强型 T2 定时器，支持自动重载和手动重载，支持中断唤醒

PWM 定时器

- ◇ 16 位 PWM0，支持 4 路独立 PWM 通道，周期可配置，每个通道占空比可调，支持极性互补输出
- ◇ 2 个 16 位 PWM1/2，16 位高电平寄存器+16 位低电平寄存器

12 位高精度 ADC

- ◇ 12 位高精度逐次逼近型，高达 26 个外部输入通道 + 内部 1 路通道 (vref)
- ◇ 参考电压可选：VDD
- ◇ 采样时间可调
- ◇ 转换速度可配置

TK 触摸按键

- ◇ 最大支持 26 通道的高灵敏触摸按键 (全脚位支持)
- ◇ 无需外置触摸电容
- ◇ 超强抗干扰能力，可通过 10V 动态 CS 测试
- ◇ 高度灵活的软件库支持及调试界面软件支持

2 路 UART

- ◇ 2 路 UART 模块
- ◇ 增强 UART0 支持“帧出错”检测及自动地址识别
- ◇ 支持 8 位同步半双工、8 位/9 位异步全双工等 4 种工作方式
- ◇ UART1 自带波特率发生器，支持波特率微调

SPI

- ◇ 支持全双工，3 线/4 线同步模式，主/从机可选
- ◇ 支持主机模式错误用以防止主机冲突

IIC

- ◇ 仅支持 7 位地址编码的硬件从机模式
- ◇ 从机模式，通讯速率自动与主机同步，最高支持 400Kbps

低电压检测 LVD

- ◇ 2.4V/3.0V/3.6V/4.2V
- ◇ 支持 LVD 中断与唤醒

中断

- ◇ INT0、T0、INT1、T1、INT2、IIC、ADC、TK、LED、WDT/T2、LVD、UART0、UART1、SPI 共 14 个中断源
- ◇ 2 级中断优先级可设

两线调试与编程接口

- ◇ 两线 (Two-wire) 调试和编程接口

工作环境温度

- ◇ -40°C~105°C

封装形式

- ◇ SOP28/SOP24/SOP20/TSSOP20/SOP16



芯片对比差异表

模块/功能		MC51F8144	MC51F8144B
IO	P30/P31	P30/P31 引脚输入功能无效，读端口数据寄存器固定为 1；输出功能及其他复用功能正常；	已修正，P30/P31 引脚输入功能正常
IAP	P26/P27	仿真状态下，P26/P27 在仿真状态下 ADC 和 TK 功能无效；脱机运行 ADC 和 TK 功能不受影响；	已修正，P26/P27 在仿真状态下 ADC 和 TK 功能正常
其他		相同	



目录

1	产品介绍	11
1.1	概述	11
1.2	系统框图	12
1.3	引脚排列	13
1.3.1	MC51F8144B0G	13
1.3.2	MC51F8144B0N	13
1.3.3	MC51F8144B0M/B0Y	13
1.3.4	MC51F8144B1M	14
1.3.5	MC51F8144B2M	14
1.3.6	MC51F8144B0K	14
1.4	引脚说明	15
1.5	订购信息	16
1.6	基本概念和术语	17
2	电气参数	18
2.1	极限参数	18
2.2	推荐工作条件	18
2.3	直流特性参数	18
2.4	ADC 特性参数	19
2.5	片上 FLASH 特性	20
2.6	交流电气参数	20
2.7	上电/掉电复位参数	20
2.8	LVD 特性参数	20
2.9	LED 特性参数	21
3	中央处理器	22
3.1	CPU 概述	22
3.1.1	程序状态寄存器 (PSW,0xD0/SFR0)	22
3.2	程序存储器 (FLASH ROM)	23
3.3	附加数据区 (EEPROM-LIKE)	23
3.4	随机存储器 (RAM)	23
3.5	存储器结构	23
3.6	寻址方式	24
3.7	特殊功能寄存器映射	25
3.8	用户配置字	26
4	系统时钟与工作模式	27
4.1	系统时钟框图	27
4.2	内置 1MHz 高频 RC 振荡器	27
4.3	内置 HIF 高频时钟	27
4.4	内置 32KHz 低频 RC 振荡器	27



4.5 外部 32.768kHz 晶体振荡器	27
4.6 系统时钟相关寄存器	28
4.6.1 时钟控制寄存器 (CLKCR,0x84/SFR0)	28
4.7 工作模式	28
4.7.1 停止模式 (STOP mode)	28
4.7.2 电源控制寄存器 (PCON,0x87/SFR0)	29
5 复位	31
5.1 复位相关寄存器	31
5.2 复位条件	31
5.3 复位预热	32
5.4 上电复位	32
5.5 掉电复位	32
5.5.1 功耗控制寄存器 (PWRACR 0xF8/SFR0)	33
5.6 看门狗复位	33
5.6.1 看门狗控制寄存器 (WDTCR,0x91/SFR0)	33
5.6.2 看门狗使能寄存器 (WDTEN,0x92/SFR0)	34
5.6.3 T2/WDT 中断标志寄存器 (T2WDTIF,0x96/SFR0)	34
5.7 软件复位	34
5.7.1 软件复位寄存器 (SOFTRST,0x8D/SFR0)	34
5.8 PC 地址溢出复位	35
5.9 DEBUG 复位	35
5.10 复位标志	35
5.10.1 复位标志寄存器 (RSTFLAG,0x86/SFR0)	35
6 I/O 端口	37
6.1 端口特性	37
6.2 端口相关寄存器	37
6.3 端口模式及数据控制	38
6.3.1 P0 端口模式寄存器 (P0MOD,0xE5/SFR0)	38
6.3.2 P1 端口模式寄存器 (P1MOD,0xE6/SFR0)	38
6.3.3 P2 端口模式寄存器 (P2MOD,0xE7/SFR0)	38
6.3.4 P3 端口模式寄存器 (P3MOD,0xE4/SFR0)	38
6.3.5 P0 端口数据寄存器 (P0,0x80/SFR0)	39
6.3.6 P1 端口数据寄存器 (P1,0x90/SFR0)	39
6.3.7 P2 端口数据寄存器 (P2,0x98/SFR0)	39
6.3.8 P3 端口数据寄存器 (P3,0xA0/SFR0)	39
6.4 输入上拉电阻控制	39
6.4.1 P0 端口上拉电阻控制寄存器 (P0PU,0xED/SFR0)	39
6.4.2 P1 端口上拉电阻控制寄存器 (P1PU,0xEE/SFR0)	40
6.4.3 P2 端口上拉电阻控制寄存器 (P2PU,0xEF/SFR0)	40
6.4.4 P3 端口上拉电阻控制寄存器 (P3PU,0xEC/SFR0)	40



6.5	开漏输出控制	40
6.5.1	端口开漏控制寄存器 (PXODEN,0xE3/SFR0)	40
6.6	驱动电流控制	41
6.6.1	P0 大电流控制寄存器 (POODM,0xDB/SFR0)	41
6.6.2	LED 控制寄存器 0 (LEDCR0,0xB3/SFR0)	41
7	定时器	42
7.1	定时器 T0/T1	42
7.1.1	方式 0: 13 位定时器	42
7.1.2	方式 1: 16 位定时器	42
7.1.3	方式 2: 8 位自动重载定时器	42
7.1.4	方式 3: 两个 8 位定时器 (只限于定时器 T0)	43
7.2	T0/T1 相关寄存器	43
7.2.1	定时器模式寄存器 (TMOD,0x89/SFR0)	44
7.2.2	定时器控制寄存器 (TCON,0x88/SFR0)	44
7.2.3	定时器计数高位寄存器 0 (TH0,0x8C/SFR0) 和定时器计数高位寄存器 1 (TH1,0x8D/SFR0)	44
7.2.4	定时器计数低位寄存器 0 (TL0,0x8A/SFR0) 和定时器计数低位寄存器 1 (TL1,0x8B/SFR0)	45
7.3	定时器 T2	45
7.4	T2 相关寄存器	45
7.4.1	T2 控制寄存器 (TIM2CR,0x93/SFR0)	46
7.4.2	T2 重载配置高位寄存器 (RLDH2,0x95/SFR0)	46
7.4.3	T2 重载配置低位寄存器 (RLDL2,0x94/SFR0)	46
7.4.4	T2/WDT 中断标志寄存器 (T2WDTIF,0x96/SFR0)	47
7.4.5	功耗控制寄存器 (PWRACR,0xF8/SFR0)	47
8	PWM	48
8.1	PWM0	48
8.2	PWM1/2	49
8.3	PWM 相关寄存器	50
8.3.1	PWM 控制寄存器 (PWMCR,0x97/SFR)	51
8.3.2	PWM0 控制寄存器 (PWM0CR,0x99/SFR)	52
8.3.3	PWM0 周期设置寄存器低位 (PWM0PL,0x9A/SFR)	53
8.3.4	PWM0 周期设置寄存器高位 (PWM0PH,0x9B/SFR)	53
8.3.5	PWM0 占空比设置寄存器低位 (PWM0DL,0x9C/SFR)	53
8.3.6	PWM0 占空比设置寄存器高位 (PWM0DH,0x9D/SFR)	53
8.3.7	PWM01 占空比设置寄存器低位 (PWM01DL,0x9E/SFR)	53
8.3.8	PWM01 占空比设置寄存器高位 (PWM01DH,0x9F/SFR)	54
8.3.9	PWM02 占空比设置寄存器低位 (PWM02DL,0xA2/SFR)	54
8.3.10	PWM02 占空比设置寄存器高位 (PWM02DH,0xA3/SFR)	54
8.3.11	PWM03 占空比设置寄存器低位 (PWM03DL,0xA4/SFR)	54
8.3.12	PWM03 占空比设置寄存器高位 (PWM03DH,0xA5/SFR)	54
8.3.13	PWM1 低电平设置寄存器低位 (PWM1LL,0xA6/SFR)	55



8.3.14 PWM1 低电平设置寄存器高位 (PWM1LH,0xA7/SFR)	55
8.3.15 PWM1 高电平设置寄存器低位 (PWM1HL,0xAA/SFR)	55
8.3.16 PWM1 高电平设置寄存器高位 (PWM1HH,0xAB/SFR)	55
8.3.17 PWM2 低电平设置寄存器低位 (PWM2LL,0xAC/SFR)	55
8.3.18 PWM2 低电平设置寄存器高位 (PWM2LH,0xAD/SFR)	56
8.3.19 PWM2 高电平设置寄存器低位 (PWM2HL,0xAE/SFR)	56
8.3.20 PWM2 高电平设置寄存器高位 (PWM2HH,0xAF/SFR)	56
9 ADC	57
9.1 概述	57
9.2 特性	57
9.3 输入通道选择	57
9.4 ADC 转换时序	57
9.1 ADC 中断	58
9.2 ADC 相关寄存器	58
9.2.1 ADC 时钟控制寄存器 (ADCCLK,0xB9/SFR0)	59
9.2.2 ADC 控制寄存器 0 (ADCCR0,0xBA/SFR0)	59
9.2.1 ADC 采样时间设置寄存器 (ADCSPT,0xBB/SFR0)	59
9.2.2 ADC 控制寄存器 1 (ADCCR1,0xBC/SFR0)	60
9.2.3 ADC 控制寄存器 2 (ADCCR2,0xBD/SFR0)	60
9.2.4 ADC 转换结果低位寄存器 (ADCDDL,0xBE/SFR0)	61
9.2.5 ADC 转换结果高位寄存器 (ADCDRH,0xBF/SFR0)	61
9.2.6 ADC 端口复用选择寄存器 0 (ADCIOS0,0xDC/SFR0)	61
9.2.7 ADC 端口复用选择寄存器 1 (ADCIOS1,0xDD/SFR0)	61
9.2.8 ADC 端口复用选择寄存器 2 (ADCIOS2,0xDE/SFR0)	61
9.2.9 ADC 端口复用选择寄存器 3 (ADCIOS3,0xDF/SFR0)	62
9.2.10 模拟模块使能寄存器 (PWRACR,0xF8/SFR0)	62
10 IIC 接口	63
10.1 概述	63
10.2 IIC 数据传输	63
10.2.1 从机接收模式 (主机写数据)	63
10.2.2 从机发送模式 (主机读数据)	65
10.3 IIC 相关寄存器	67
10.3.1 IIC 状态寄存器(IICSTA, SFR0/E8)	67
10.3.2 IIC 控制寄存器 (IICCR, SFR0/E9)	69
10.3.3 IIC 地址寄存器 (IICADR, SFR0/EA)	69
10.3.4 IIC 数据寄存器 (IICDR, SFR0/E1)	69
10.3.5 IIC 数据缓存寄存器 (IICBUF, SFR0/E2)	70
10.3.6 外设端口控制寄存器 (PERIPHCR, SFR0/EB)	70
11 UART 异步通讯接口	71
11.1 概述	71



11.2	UART0	71
11.2.1	方式 0: 8 位异步全双工, 可变波特率	71
11.2.2	方式 1: 9 位异步全双工, 可变波特率	73
11.2.3	波特率计算	74
11.2.4	多机通讯	74
11.2.5	接收错误检测	75
11.2.6	IO 映射选择	75
11.3	UART1	75
11.3.1	方式 1: 8 位异步全双工, 可变波特率	75
11.3.2	方式 3: 9 位异步全双工, 可变波特率	77
11.3.3	波特率计算	78
11.3.4	多机通讯	79
11.4	端口与 IO 功能	79
11.5	UART 相关寄存器	79
11.5.1	串口 0 状态寄存器 (UART0STA,0xC0/SFR0)	80
11.5.2	串口 0 控制寄存器 0 (UART0CR0,0xC1/SFR0)	81
11.5.3	串口 0 控制寄存器 1 (UART0CR1,0xC2/SFR0)	81
11.5.4	串口 0 缓存寄存器 (UART0SBUF,0xC3/SFR0)	82
11.5.5	串口 0 波特率计数器寄存器 (UART0BRG,0xC4/SFR0)	82
11.5.6	串口 1 控制寄存器 (SCON_1,0xC8/SFR0)	82
11.5.7	串口 1 缓存寄存器 (SBUF_1,0xC9/SFR0)	83
11.5.8	串口 1 波特率控制寄存器 (BRGCR,0xC5/SFR0)	83
11.5.9	串口 1 波特率计数器低位寄存器 (BRGL,0xC6/SFR0)	84
11.5.10	串口 1 波特率计数器高位寄存器 (BRGH,0xC7/SFR0)	84
11.5.11	外设端口控制寄存器 (PERIPHCR, SFR0/EB)	84
11.5.12	中断使能寄存器 2 (IE2,0xA1/SFR0)	84
11.5.13	中断优先级控制寄存器 2 (IP2,0xA1/SFR0)	85
11.5.14	中断标志寄存器 2 (INTIF2,0xF2/SFR0)	85
12	SPI 串行外设接口	86
12.1	SPI 概述	86
12.2	SPI 信号描述	86
12.3	工作模式	86
12.3.1	主机模式	86
12.3.2	从机模式	87
12.4	数据传输格式	87
12.5	出错检测	88
12.6	SPI 相关寄存器	88
12.6.1	SPI 控制寄存器 (SPCON,0xD9/SFR0)	89
12.6.2	SPI 状态寄存器 (SPSTA,0xD8/SFR0)	90
12.6.3	SPI 数据寄存器 (SPDAT,0xDA/SFR0)	90



12.6.4	外设端口控制寄存器 (PERIPHCR, SFR0/EB)	91
12.6.5	中断使能寄存器 2 (IE2,0xA1/SFR0)	91
12.6.6	中断优先级控制寄存器 2 (IP2,0xA1/SFR0)	91
12.6.7	中断标志寄存器 2 (INTIF2,0xF2/SFR0)	91
13	LVD 低电压检测	92
13.1	概述	92
13.2	LVD 相关寄存器	92
13.2.1	LVD 状态寄存器 (LVDSTA,0x8E/SFR0)	92
13.2.2	LVD 阈值控制寄存器 (LVDLVLS,0x8F/SFR0)	93
13.2.3	功耗控制寄存器 (PWRACR,0xF8/SFR0)	93
13.2.4	中断使能寄存器 2 (IE2,0xA1/SFR0)	93
13.2.5	中断优先级控制寄存器 2 (IP2,0xA1/SFR0)	93
13.2.6	中断标志寄存器 2 (INTIF2,0xF2/SFR0)	94
14	TK 触摸按键	95
14.1	特性	95
14.2	功能描述	95
15	LED 驱动	96
15.1	特性	96
15.2	功能描述	96
15.2.1	LED 点阵电路	96
15.2.2	LED 扫描时序	100
15.2.3	驱动电流控制	101
15.3	LED 相关寄存器	102
15.3.1	LED 控制寄存器 0 (LEDCR0,0xB3/SFR0)	103
15.3.2	LED 控制寄存器 1 (LEDCR1,0xB4/SFR0)	104
15.3.3	LED 控制寄存器 2 (LEDCR2,0xB5/SFR0)	104
15.3.4	LED 驱动配置寄存器 (LEDDR,0xB6/SFR0)	104
15.3.5	中断使能寄存器 1 (IE1,0xA9/SFR0)	104
15.3.6	中断优先级控制 1 低位寄存器 (IP1,0xB1/SFR0)	105
15.3.7	中断标志寄存器 1 (INTIF1,0xF1/SFR0)	105
15.3.8	LED 显示地址 (LEDDAT0~7,0x200~207/XRAM)	105
15.3.9	LED 显示时间选择 (LEDDATS0~7,0x208~20F/XRAM)	106
16	中断	107
16.1	中断源列表	107
16.2	中断优先级	108
16.3	中断处理流程	108
16.4	外部中断	108
16.5	中断相关寄存器	108
16.5.1	中断使能寄存器 (IE,0xA8/SFR0)	109
16.5.2	中断使能寄存器 1 (IE1,0xA9/SFR0)	110



16.5.3	中断使能寄存器 2 (IE2,0xA1/SFR0)	110
16.5.4	中断优先级控制低位寄存器 (IP,0xB8/SFR0)	111
16.5.5	中断优先级控制 1 低位寄存器 (IP1,0xB1/SFR0)	111
16.5.6	中断优先级控制 2 低位寄存器 (IP2,0xB2/SFR0)	111
16.5.7	定时器控制寄存器 (TCON,0x88/SFR0)	111
16.5.8	中断标志寄存器 1 (INTIF1,0xF1/SFR0)	112
16.5.9	中断标志寄存器 2 (INTIF2,0xF2/SFR0)	112
16.5.10	外部中断控制寄存器 (EXTICR,0xF3/SFR0)	113
16.5.11	外部中断 0 IO 选择寄存器 (EXT0IOS,0xF4/SFR0)	113
16.5.12	外部中断 1 IO 选择寄存器 (EXT1IOS,0xF5/SFR0)	113
16.5.13	外部中断 2 IO 选择寄存器 (EXT2IOS,0xF6/SFR0)	113
17	片上调试 OCD 和在电路编程 ICP 接口	114
18	IAP (片上编程)	115
18.1	IAP 相关寄存器	115
18.1.1	IAP 控制寄存器 (IAPTIM,0xF9/SFR0)	115
18.1.2	IAP 数据寄存器 (IAPDB,0xFA/SFR0)	115
18.1.3	IAP 模式寄存器 (IAPMD,0xFB/SFR0)	116
18.1.4	IAP 低地址寄存器 (IAPADL,0xFC/SFR0)	116
18.1.5	IAP 高地址寄存器 (IAPADH,0xFD,SFR0)	116
18.2	IAP 操作标准流程	116
18.2.1	EEPROM-LIKE 读取	116
18.2.2	EEPROM-LIKE 页擦除	116
18.2.3	EEPROM-LIKE 字节写入 (1 字节)	117
18.3	ICP、IAP 和 ISP	117
19	附录	118
19.1	指令集总览表	118
20	封装信息	122
20.1	SOP28 (1.27mm pitch)	122
20.2	SOP24 (1.27mm pitch)	123
20.3	SOP20 (1.27mm pitch)	123
20.4	TSSOP20 (0.65mm pitch)	124
20.5	SOP16 (1.27mm pitch)	124
21	版本修订记录	125



1 产品介绍

1.1 概述

本产品是一款高速低功耗 1T 周期 8051 内核 8 位增强型 FLASH 微控制器芯片，较传统 8051 而言，运行更快、效率更高。

最高运行频率为 12MHz，片上集成了 16K 字节 FLASH ROM、1K 字节 EEPROM-LIKE 和 768 字节 RAM（内部 RAM 256B 加上外部 RAM 512B），内部集成了高分辨率触摸模块（多达 26 个通道），1 个高精度 12 位 ADC 模块（多达 26 个通道），内置 1MHz RC 振荡器和 1 个低频 32k RC 振荡器，最大包含 26 个双向 GPIO 口，两线（Two-wire）调试接口和编程接口，具有 3 个 16 位定时器（其中 timer2 支持外接 32768Hz 晶体）、4 通道 16 位共周期 PWM0，16 位高低电平独立控制 PWM1/2，2 路 UART，以及 1 路 SPI 和 1 路 IIC，同时内部集成 4 级可选 LVD、看门狗定时器等功能。

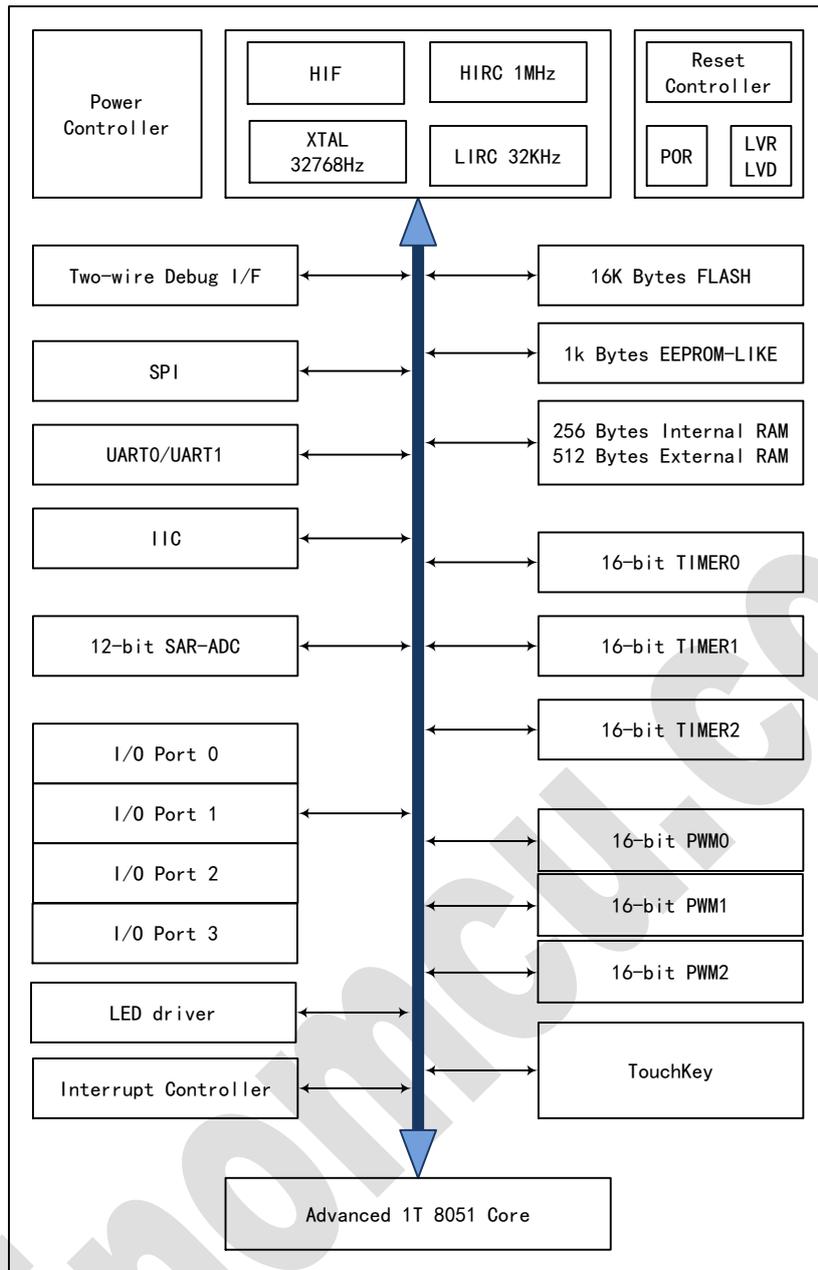
本产品工作电压为 2.5V 至 5.5V，工作温度为 -40°C 至 +105°C。支持 STOP 省电模式保证低功耗应用的要求。

可提供包括 SOP28/SOP24/SOP20 在内的多种紧凑型封装形式。

本产品为工业级 IC，具有高抗干扰性特性，又集成了高分辨率触摸模块、高精度 ADC、以及 UART/SPI/IIC 等通讯模块，可广泛用于家电、生活电器等触摸控制应用领域。



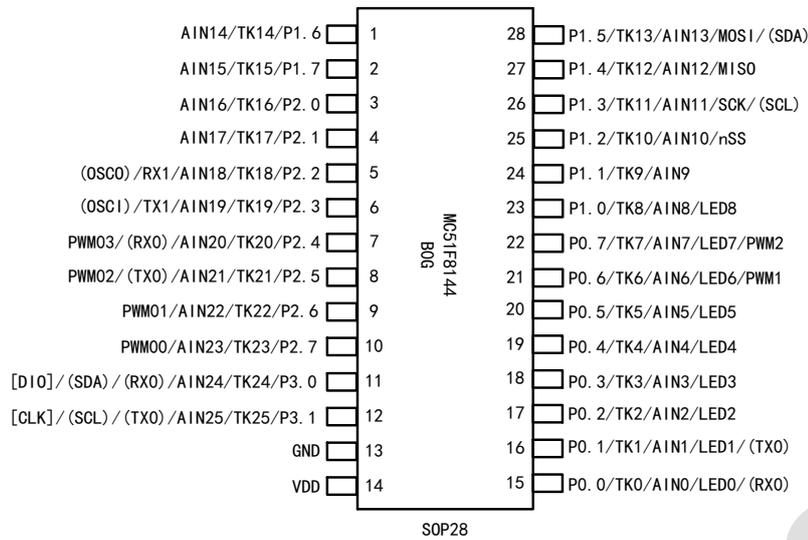
1.2 系统框图



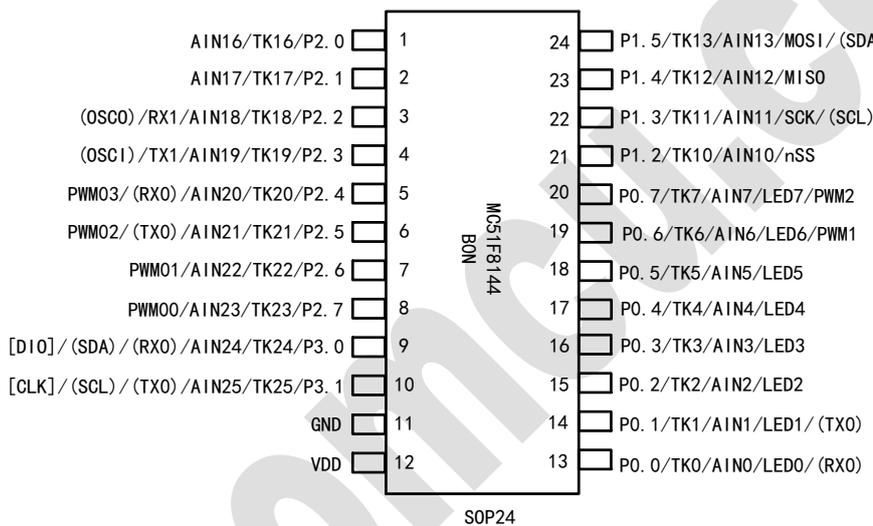


1.3 引脚排列

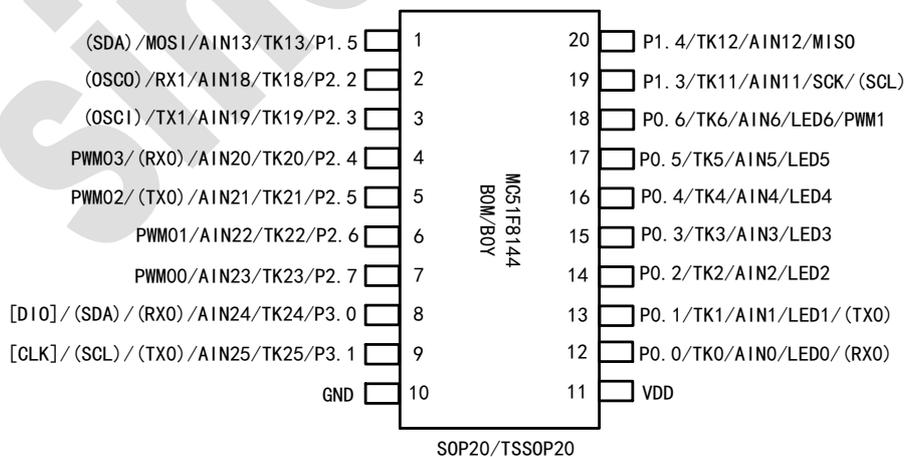
1.3.1 MC51F8144B0G



1.3.2 MC51F8144B0N

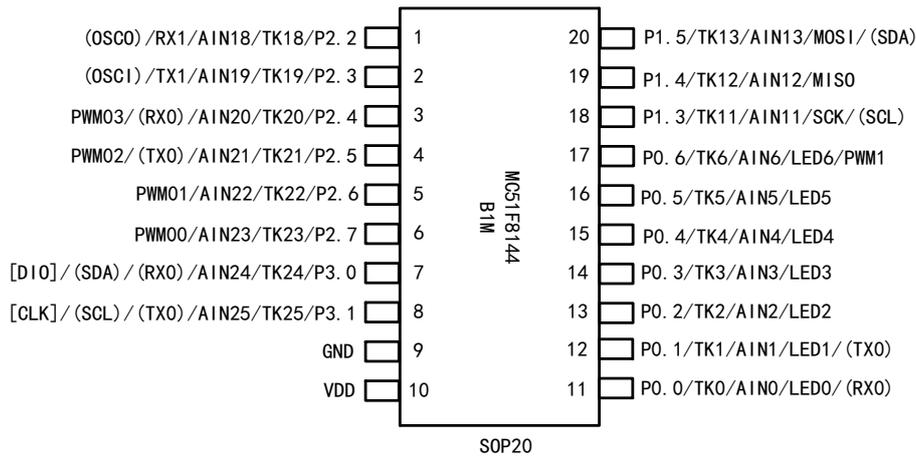


1.3.3 MC51F8144B0M/BOY

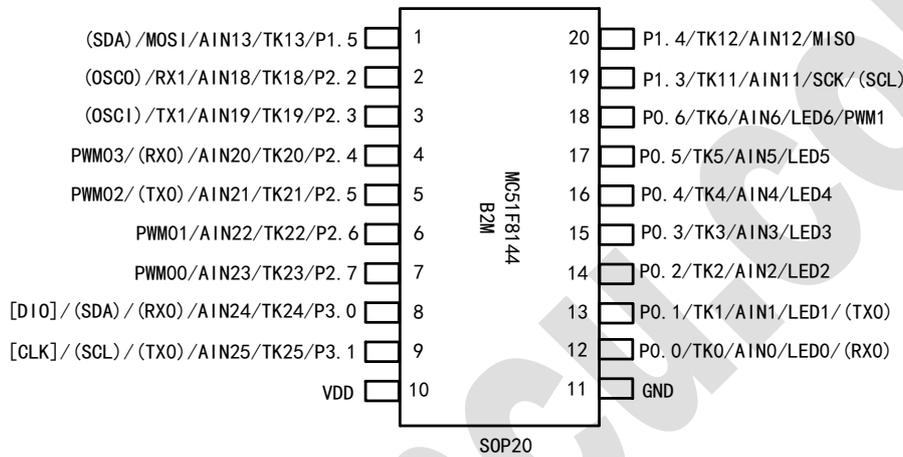




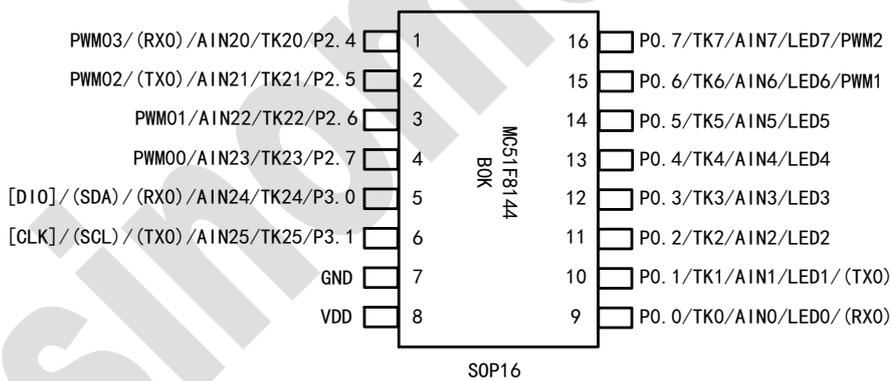
1.3.4 MC51F8144B1M



1.3.5 MC51F8144B2M



1.3.6 MC51F8144B0K



注 1: 图中, 用方括号“[]”括起来的功能, 代表烧写、调试专用口; 用圆括号“()”括起来的, 代表这些复用功能为在“寄存器”中可设定映射; 其中“nXXX”的n, 代表其为低电平有效。

注 2: 原则上同一个引脚同一时刻只可选择一种功能使用, 当一个引脚同时打开了多种复用功能时, 其中最高优先级的功能有效, 其他功能则被屏蔽。



1.4 引脚说明

引脚汇总表

引脚编号					引脚名	属性	功能符号	
SOP28	SOP24	SOP20/ TSSOP20	SOP20	SOP16			数字功能	模拟功能
B0	B0	B0	B1	B0				
1	-	-		-	P1.6	I/O	-	AIN14 TK14
2	-	-		-	P1.7	I/O	-	AIN15 TK15
3	1	-		-	P2.0	I/O	-	AIN16 TK16
4	2	-		-	P2.1	I/O	-	AIN17 TK17
5	3	2		-	P2.2	I/O	RX1	AIN18 TK18 (OSCO)
6	4	3		-	P2.3	I/O	TX1	AIN19 TK19 (OSCI)
7	5	4		1	P2.4	I/O	PWM03 (RX0)	AIN20 TK20
8	6	5		2	P2.5	I/O	PWM02 (TX0)	AIN21 TK21
9	7	6		3	P2.6	I/O	PWM01	AIN22 TK22
10	8	7		4	P2.7	I/O	PWM00	AIN23 TK23
11	9	8		5	P3.0	I/O	[DIO] (SDA) (RX0)	AIN24 TK24
12	10	9		6	P3.1	I/O	[CLK] (SCL) (TX0)	AIN25 TK25
13	11	10		7	GND	GND	-	-
14	12	11		8	VDD	VDD	-	-
15	13	12		9	P0.0	I/O	(RX0)	LED0 AIN0 TK0
16	14	13		10	P0.1	I/O	(TX0)	LED1 AIN1 TK1
17	15	14		11	P0.2	I/O	-	LED2



引脚编号					引脚名	属性	功能符号	
SOP28	SOP24	SOP20/ TSSOP20	SOP20	SOP16			数字功能	模拟功能
B0	B0	B0	B1	B0				
								AIN2 TK2
18	16	15		12	P0.3	I/O	-	LED3 AIN3 TK3
19	17	16		13	P0.4	I/O	-	LED4 AIN4 TK4
20	18	17		14	P0.5	I/O	-	LED5 AIN5 TK5
21	19	18		15	P0.6	I/O	PWM1	LED6 AIN6 TK6
22	20	-		16	P0.7	I/O	PWM2	LED7 AIN7 TK7
23	-	-		-	P1.0	I/O	-	LED8 AIN8 TK8
24	-	-		-	P1.1	I/O	-	AIN9 TK9
25	21	-		-	P1.2	I/O	NSS	AIN10 TK10
26	22	19		-	P1.3	I/O	(SCL) SCK	AIN11 TK11
27	23	20		-	P1.4	I/O	MISO	AIN12 TK12
28	24	1		-	P1.5	I/O	(SDA) MOSI	AIN13 TK13

1.5 订购信息

产品名称	封装形式	备注
MC51F8144B0G	SOP28	
MC51F8144B0N	SOP24	
MC51F8144B0M	SOP20	
MC51F8144B0Y	TSSOP20	引脚排列同 SOP20 封装
MC51F8144B1M	SOP20	
MC51F8144B2M	SOP20	



MC51F8144B0K	SOP16	
--------------	-------	--

注：产品名称中的倒数第两位 x 代表本产品的出货包装信息，最终的具体类型请与我司销售人员确认。

1.6 基本概念和术语

- ◇ R/W：代表 Read/Write 的含义，即可读可写。当仅有 R 时，代表只读；当仅有 W 时，代表只写。
- ◇ R*/W,R/W*：R*代表仅可读到 0 或 1；W*代表仅可写 0 或 1。
- ◇ 0/1/X/-：其中 0=数字逻辑 0（低电平）；1=数字逻辑 1（高电平）；X=不确定（高低电平皆可）；-=保留，有点类似于 X（高低电平皆可）。
- ◇ B/b：B 代表 Byte 的含义，即字节，表示了 8 位数据长度；b 代表 bit 的含义，即位，表示 1 位数据长度。
- ◇ 两线调试接口（Two-wire）：是一种类似于 SWD 的调试接口形式，是晟矽微电子特有的调试/编程接口。为用户精简了调试/编程接口电路，方便了硬件工程师的 PCB 设计；通过两组调试接口交替仿真，让工程师可以做到“所有端口的全覆盖仿真”。
- ◇ ICP：代表在电路编程，即 In Circuit Programming 的首字母缩写。用户可通过电路板上预留的两线调试和编程接口（Two-wire），在印刷电路板组装以后（PCBA），直接将程序下载到芯片中。
- ◇ IAP：代表在应用编程，即 In Application Programming 的首字母缩写。只要芯片可以运行，用户就可以通过程序对芯片本身进行编程。



2 电气参数

下述无特殊说明的情况时， $T_a=25^{\circ}\text{C}$ ， $V_{DD}-GND=5V$ 。

2.1 极限参数

参数	符号	值	单位
直流供电电压	VDD/GND	-0.3~5.5	V
IO 输入/输出电压	Vin/Vout	GND-0.3~VDD+0.3	V
工作环境温度	Ta	-40~105	$^{\circ}\text{C}$
储存环境温度	Tstg	-55~150	$^{\circ}\text{C}$
片上 FLASH/EEPROM 操作温度	Tflash	-40~105	$^{\circ}\text{C}$

注：流过 VDD、GND 电流总和的最大值在 5.0V/25 $^{\circ}\text{C}$ 下必须小于 200mA。本规格仅采用本芯片在上述条件内测试获得，对超出上述条件的“特殊应用”不做保证。若芯片长期处于极限参数的最大或者最小条件下工作，可能会直接影响器件的可靠性并加速器件的老化。

2.2 推荐工作条件

参数	符号	最小值	最大值	单位	备注
工作电压	VDD-GND	2.5	5.5	V	
工作环境温度	Ta	-40	105	$^{\circ}\text{C}$	-

2.3 直流特性参数

特性	符号	引脚	条件	最小	典型	最大	单位
输入低电压 (斯密特输入方式)	Vil	所有输入脚	VDD=3.3~5.5V IO 输入模式下	GND-0.3	-	0.3VDD	V
输入高电压 (斯密特输入方式)	Vih	所有输入脚	VDD=3.3~5.5V IO 输入模式下	0.7VDD	-	VDD+0.3	V
输入漏电流	Iilc	所有输入脚	IO 输入模式下，Vin=VDD 或者 GND	-	1	5	μA
输出漏电流	Iolc	所有输入脚	IO 输出模式下，Vout=VDD 或者 GND	-1	-	1	μA
输出高电流 (推挽输出)	Ioh1	所有 IO	VDD=5V, IO 输出模式下，Voh=0.9VDD	-	15	-	mA
输出低电流	Iol1	所有 IO	VDD=5V, IO 输出模式下，Vol=0.1VDD	-	60	-	mA
输出低电流	Iol2	P0.0~P0.7	VDD=5V, IO 输出模式下，Vol=0.1VDD POODM 寄存器对应控制位开启	-	110	-	mA
内部上拉电阻	Rpu	P0,P1,P2,P3	VDD=5V, Vin=0, 输入上拉功能使能	-	5	-	K Ω
工作电流 (所有未作说明的功能模块关闭; 所有引脚)	Iddc	VDD	VDD=5V, F _{CORE} =12MHz	-	2.1	3	mA
			VDD=5V, F _{CORE} =6MHz	-	1.7	2.5	mA
			VDD=5V, F _{CORE} =4MHz	-	1.5	2.3	mA
			VDD=3.3V, F _{CORE} =12MHz	-	2.0	3	mA



特性	符号	引脚	条件	最小	典型	最大	单位
无负载; CORE 执行 NOP 指令)			VDD=3.3V, F _{CORE} =6MHz	-	1.6	2.5	mA
			VDD=3.3V, F _{CORE} =4MHz	-	1.4	2.3	mA
待机电流 (停止模式)	Istop	VDD	VDD=5V, CORE 休眠, PCON = 0x01, BOR 关闭, IO 输出低; 所有引脚无负载, INTn 唤醒开; 其他功能模块关	-	24	37	uA
			VDD=3.3V, CORE 休眠, PCON = 0x01, BOR 关闭, IO 输出低; 所有引脚无负载, INTn 唤醒开; 其他功能模块关	-	23	35	uA
待机平均电流 (停止模式唤醒循环)	Istop	VDD	VDD=5V, F _{CORE} =12MHz; TK 并联模式, WDT 中断 2s 唤醒, 2ms 工作时间, IO 输出低; 其他功能模块关	-	30	40	uA
			VDD=3.3V, F _{CORE} =12MHz; TK 并联模式, WDT 中断 2s 唤醒, 2ms 工作时间, IO 输出低; 其他功能模块关	-	30	40	uA
WDT 电流	Iwdt	VDD	VDD=5V, CORE 休眠; 其他功能模块关 WDT 开启和关闭电流之差	-	-	3	uA

2.4 ADC 特性参数

下表为分辨率 12bit 参数, vref 参考选择 VDD。

特性	符号	条件	最小	典型	最大	单位
ADC 有效工作电压	Vadc	-	2.5	-	5.5	V
分辨率	Nr	-	-	12	-	bit
转换率	Fs	12-bit 模式	-	-	444	ksps
积分非线性误差	INL	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±2	±3	LSB
微分非线性误差	DNL	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±1	±2	LSB
上限偏置误差	Eot	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±1	-	LSB
下限偏置误差	Eob	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±1	-	LSB
零点偏移误差	Ez	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±0.5	-	LSB
总绝对误差	Ead	VDD=5V, Fadc=8MHz, 采样时=4 clk	-	±4	-	LSB
转换时钟	Fadc	-	-	-	8	MHz
采样时间	Fsam	(ADC_Sample+1)*4*Tadclk	4	-	-	Tadc
转换时间	Tcon	VDD=5V, Fadc=8MHz, 采样时=4 clk	18	-	-	Tadc
ADC 输入电压	Vain	-	GND	-	Vref	V
ADC 输入阻抗	Rain	-	2	-	-	MΩ
ADC 输入电流	Iain	-	-	-	1	uA
模拟信号源推荐阻抗	Zain	-	-	-	10	KΩ



2.5 片上 FLASH 特性

特性	符号	条件	最小	典型	最大	单位
EEprom-like Page sizes	Spage			512		bytes
EEprom-like 读取电流	Iread	@12MHz		1.5	2.2	mA
EEprom-like 编程电流	Iprog	字节编程			3.5	mA
EEprom-like 擦除电流	Ierase	Sector 擦除			2	mA
EEprom-like 字节编程时间	Tbprog	Byte 编程	-	24	-	us
EEprom-like 擦除时间	Terase	Sector 擦除	-	5	-	ms
FLASH/EEprom-like 读写循环次数	N _{FNDUR}	T=25°C	20000	-	-	cycle
FLASH/EEprom-like 数据保存时间	T _{FRET}	T=25°C	100	-	-	year
		T=85°C	20	-	-	year

2.6 交流电气参数

特性	符号	条件	最小	典型	最大	单位
HIRC 振荡频率	F _{HIRC}	VDD=5V, 常温	-1%	1	+1%	MHz
		T=-40°C~105°C, VDD=2.5~5.5V	-3%	1	+3%	MHz
LIRC 振荡频率	F _{LIRC}	VDD=5V	-30%	32	+30%	KHz

2.7 上电/掉电复位参数

特性	符号	条件	最小	典型	最大	单位
VDD 上电斜率	K _{POR}		0.01	-	-	V/ms
POR 电压	V _{POR}		1.1	1.5	2.2	V
BOR 电压	V _{BOR}	打开 BOR, 迟滞 200mV	-10%	2.1	+10%	V
VDD 最低工作电压	VDD _{min}		2.5	-	-	V
V _{POR} 到 VDD _{min} 时间	T _{STR}		-	-	0.6*T _{PO} _R	ms
上电延时时间	T _{POR}	上电复位	50	90	130	ms
复位延时时间	T _{RST}	所有复位	-	20	-	ms

2.8 LVD 特性参数

特性	符号	条件	最小	典型	最大	单位
LVD 设定电压 1	V _{lvd1}	LVD 使能, VDD=2.5~5.5V, 偏差±5%以内	-	2.4	-	V
LVD 设定电压 2	V _{lvd2}		-	3.0	-	V
LVD 设定电压 3	V _{lvd3}		-	3.6	-	V
LVD 设定电压 4	V _{lvd4}		-	4.2	-	V
LVD 回滞电压	V _{lvs}	-	-	100	-	mV

**2.9 LED 特性参数**

特性	符号	条件	最小	典型	最大	单位
LED 驱动电流 1	Vled1	LED 使能, VDD=5V, LED 导通压降 1.8~23V, 驱动电流由 LEDDRV 寄存器的 IDRIVE[3:0]控制, 偏差±10%以内	-	4.3	-	mA
LED 驱动电流 2	Vled2		-	8.5	-	mA
LED 驱动电流 3	Vled3		-	13.6	-	mA
LED 驱动电流 4	Vled4		-	17.0	-	mA
LED 驱动电流 5	Vled5		-	22.2	-	mA
LED 驱动电流 6	Vled6		-	26.8	-	mA
LED 驱动电流 7	Vled7		-	30.6	-	mA
LED 驱动电流 8	Vled8		-	34.7	-	mA
LED 驱动电流 9	Vled9		-	38.6	-	mA
LED 驱动电流 10	Vled10		-	44.7	-	mA
LED 驱动电流 11	Vled11		-	47.1	-	mA
LED 驱动电流 12	Vled12		-	51.5	-	mA
LED 驱动电流 13	Vled13		-	55.8	-	mA
LED 驱动电流 14	Vled14		-	60.7	-	mA
LED 驱动电流 15	Vled15		-	65.3	-	mA
LED 驱动电流 16	Vled16		-	69.0	-	mA

注 1: LED 驱动电流配置建议小于 LED 标称 I_{fp} 电流, 所选择的 LED 应保证正向电压 V_F 一致。



3 中央处理器

3.1 CPU 概述

CPU 为 1T 标准的高速 8051 内核，其指令完全兼容传统 8051 单片机。

CPU 包含复位初值为 0000H 的程序计数器 PC，包含 1 个专用累加器 A、辅助寄存器 B、堆栈指针 SP 和数据指针 DPTR，以及程序状态寄存器 PSW。

堆栈指针 SP 是 1 个 8 位专用寄存器，保存堆栈栈顶的地址信息。在执行 PUSH、子程序调用、中断响应等指令时，SP 先加 1 再将数据压栈；执行 POP、RET、RETI 等指令时，数据退出堆栈后 SP 再减 1。堆栈栈顶可以是片上内部 RAM (00H~FFH) 的任意地址，系统复位后，SP 初始化为 07H，堆栈实际从 08H 地址开始，用户可自行调整堆栈栈顶地址。

程序状态寄存器 PSW 用来保存指令执行中的各种状态。

数据指针 DPTR 是 1 组 16 位专用寄存器，其高字节寄存器为 DPH 表示，低字节寄存器为 DPL 表示。在一组 DPTR 中，它们既可以作为一个 16 位寄存器来处理，也可作为两个独立 8 寄存器来处理。

3.1.1 程序状态寄存器 (PSW,0xD0/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7] CY - 进/借位标志位

- 0: 算术或逻辑运算中，最高位 (Bit7) 没有进位或借位发生；
- 1: 算术或逻辑运算中，最高位 (Bit7) 有进位或借位发生。

BIT[6] AC - 进/借位辅助标志位 (可在 BCD 码加减法运算时方便调整)

- 0: 算术逻辑运算中，半字节 (Bit3) 没有辅助进位或借位发生；
- 1: 算术逻辑运算中，半字节 (Bit3) 有辅助进位或借位发生。

BIT[5] F0 - 用户自定义标志位

BIT[4:3] RS[1:0] - 工作寄存器组选择位

RS[1:0]	当前使用的工作寄存器组 0~3
00	工作寄存器组 0 (00H~07H)
01	工作寄存器组 1 (08H~0FH)
10	工作寄存器组 2 (10H~17H)
11	工作寄存器组 3 (18H~1FH)

BIT[2] OV - 溢出标志位

- 0: 除下述置位条件，其余情况清零；
- 1: 累加器 A 中的 bit6 和 bit7 位仅一位发生进位或借位时，置 OV 标志；
 - 即 a) OV 标志表示有符号的 8 位数字加减法的结果超出了限制(大于 127 或小于-128)。
 - b) 当乘法结果大于 255，或 c) 试图除以 0 时，也会置 OV 标志。

BIT[1] F1 - 用户自定义标志位

BIT[0] P - 奇偶校验位

- 0: 表示累加器 A 中的二进制结果中有 1 的个数为偶数个；



1: 表示累加器 A 中的二进制结果中有 1 的个数为奇数个。

3.2 程序存储器 (FLASH ROM)

程序存储器 FLASH ROM 总的大小为 16K 字节, 地址范围为 0000H~3FFFH, 该 FLASH ROM 可反复擦写 2 万次, 数据保存年限至少 10 年。

FLASH ROM 通常需要先擦除后写入。本芯片的 FLASH ROM 支持在电路编程 (ICP)。

注: ICP 相关内容, 请参考相关章节的内容。

3.3 附加数据区 (EEPROM-LIKE)

本芯片内置 1 Kbytes 附加数据区, 可作为 EEPROM-LIKE 使用, 共 2 个页, 每个页 512bytes, 支持页擦除/字节烧写。

本芯片的 EEPROM-LIKE 支持在电路编程 (ICP) 和在应用编程 (IAP), 也可通过 MOVX 指令进行寻址。

注: ICP 和 IAP 相关内容请参考相关章节的内容。

3.4 随机存储器 (RAM)

随机数据存储器 RAM 包括内部 256 字节和外部 512 字节共 768 字节的 SRAM。

内部 RAM 的地址为 00H~FFH, 其中高 128 字节 (80H~FFH) 与特殊功能寄存器 SFR 重叠, 且只能间接寻址, 低 128 字节 (00H~7FH) 可直接寻址也可以间接寻址。其中最低的 32 字节 (00H~17H) 作为通用寄存器分成四组 8 个寄存器, 程序视这些寄存器为 R0 到 R7, 具体通过程序状态字 PSW 的 RS[1:0]位来选择哪一个寄存器组会被使用; 接下来的 16 个字节 (20H~2FH) 还支持位寻址; 剩下的字节 (30H~7FH) 作为通用 RAM, 用来设置栈指针, 用作“栈”使用。

外部 RAM 的地址为 0000H~01FFH, 这部分空间必须通过 MOVX 指令来寻址。

特殊功能寄存器 SFR 地址为 80H~FFH, 只能直接寻址。CPU 自动通过指令区分是访问 SFR 还是内部 RAM 的高 128 字节。

注 1: PSW 的 RS[1:0]相关内容请参考相关章节的内容。

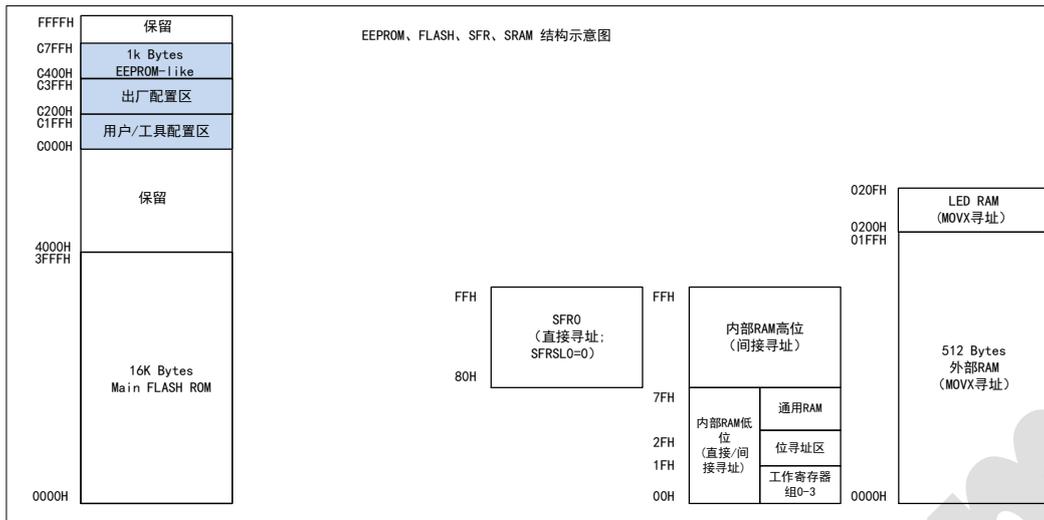
3.5 存储器结构

本芯片的程序存储器 FLASH、随机存储器 RAM 以及非易失性数据存储器 EEPROM 分别是独立编址的。

本芯片上存储器的结构, 如下图所示:



存储器 MAP 示意图



该芯片的 FLASH 空间由 8 位宽的存储单元组成，即可以保存代码又可以保存数据。当前 FLASH 有 32 x 512 byte 组成（每页 512 Bytes）组成。

ROM 空间操作汇总表

操作形式	ICP	IAP	ISP
FLASH 代码保护	支持	不支持	-
FLASH 页擦除	支持	不支持	-
FLASH 块擦除	-	-	-
FLASH 整体擦除	支持	不支持	-
FLASH 读/写	支持（不保护的情况下）	不支持	-
EEPROM-LIKE 擦除	支持	支持	-
EEPROM-LIKE 读/写	支持	支持	-

3.6 寻址方式

CPU 指令的寻址方式有以下 7 种：立即寻址、直接寻址、间接寻址、寄存器寻址、相对寻址、变址寻址、位寻址。

立即寻址

立即寻址也称为立即数，它是在指令操作数中直接给出参加运算的操作数。

直接寻址

在直接寻址方式中，指令操作数域给出的是参加运算操作数的地址。直接寻址方式只能用来表示特殊功能寄存器、内部数据寄存器和位地址空间。其中特殊功能寄存器和位地址空间只能用直接寻址方式访问。

间接寻址

间接寻址采用 R0 或 R1 前加“@”符号来表示。

寄存器寻址

寄存器寻址寻址时对选定的工作寄存器 R7~R0、累加器 A、通用寄存器 B、地址寄存器和进位标志 CY 中的数进行操作。其中寄存器 R7~R0 由指令码的低 3 位表示，A、B、DPTR 及进位标志 CY 隐含在指令码中，因此寄存器寻址也包含一种隐含寻址方式。寄存器工作区的选择由程序状态寄存器 PSW 中的 RS[1:0]来决定。指令操作数指定的寄存器均指当前工作区的寄存器。

相对寻址



相对寻址是将程序计数器 PC 中的当前值与指令第二字节给出的数相加，其结果作为转移指令的转移地址。转移地址也成为转移目的地址，PC 中的当前值成为基地址，指令第二字节给出的数成为偏移量。由于目的地址是相对于 PC 中的基地址而言，所以这种寻址方式称为相对寻址。偏移量为带符号的数，所能表示的范围为 (+127) ~ (-128)。这种寻址方式主要用于转移指令。

变址寻址

在变址寻址方式中，指令操作数指定一个存放变址基址的变址寄存器。变址寻址时，偏移量与变址基值相加，其结果作为操作数的地址。变址寄存器有程序计数器 PC 和地址寄存器 DPTR。

语句“MOVC A, @A+DPTR”表示累加器 A 为偏移量寄存器，其内容与地址寄存器 DPTR 中的内容相加，其结果作为操作数的地址，取出该单元中的数送入累加器 A 中。

位寻址

位寻址是指对一些可进行位操作的内部数据存储单元 RAM 和特殊功能寄存器进行位操作时的寻址方式。在进行位操作时，借助于进位标志 CY 作为位操作累加器，指令操作数直接给出该位的地址，然后根据操作码的性质对该位进行位操作。位地址与字节直接寻址中的字节地址编码方式完全一样，主要由操作指令的性质加以区分，使用时应特别注意。

3.7 特殊功能寄存器映射

特殊功能寄存器 SFR 的地址位于 80H~FFH，有些可以位寻址，有些不能位寻址。能够进行位寻址操作的寄存器的地址末位数都是“0”或“8”，这些寄存器在需要改变单个位的数值时非常方便。所有的特殊功能寄存器只能通过直接寻址方式进行寻址。

特殊功能寄存器列表(SFR0)

SFR 寄存器	起始地址	不可位寻址							SFR 页
		0/8	1/9	2/A	3/B	4/C	5/D	6/E	
F8H	PWRACR	IAPTIM	IAPDB	IAPMD	IAPADL	IAPADH	-	-	SFR0
F0H	B	INTIF1	INTIF2	EXTICR	EXT0IOS	EXT1IOS	EXT2IOS	-	SFR0
E8H	IICSTA	IICCR	IICADR	PERIPHCR	P3PU	P0PU	P1PU	P2PU	SFR0
E0H	ACC	IICDR	IICBUF	PXODEN	P3MOD	P0MOD	P1MOD	P2MOD	SFR0
D8H	SPSTA	SPCON	SPDAT	P0ODM	ADCIOS0	ADCIOS1	ADCIOS2	ADCIOS3	SFR0
D0H	PSW	TKSTR	TKCR4	TKCR0	TKIOS0	TKIOS1	TKIOS2	TKIOS3	SFR0
C8H	SCON_1	SBUF_1	-	TKCR1	TKCR2	TKCR3	TKDRL	TKDRH	SFR0
C0H	UART0STA	UART0CR0	UART0CR1	UART0SB UF	UART0BR G	BRGCR	BRGL	BRGH	SFR0
B8H	IP	ADCCLK	ADCCR0	ADCSPT	ADCCR1	ADCCR2	ADCRL	ADCRH	SFR0
B0H	-	IP1	IP2	LEDCR0	LEDCR1	LEDCR2	LEDDRV	LEDSTR	SFR0
A8H	IE	IE1	PWM1HL	PWM1HH	PWM2LL	PWM2LH	PWM2HL	PWM2HH	SFR0
A0H	P3	IE2	PWM02DL	PWM02DH	PWM03DL	PWM03DH	PWM1LL	PWM1LH	SFR0
98H	P2	PWM0CR	PWM0PL	PWM0PH	PWM00DL	PWM00DH	PWM01DL	PWM01DH	SFR0
90H	P1	WDTCR	WDTEN	TIM2CR	RLDL2	RLDH2	T2WDTIF	PWMCR	SFR0
88H	TCON	TMOD	TL0	TL1	TH0	TH1	LVDSTA	LVDLVLS	SFR0
80H	P0	SP	DPL	DPH	CLKCR	SOFRST	RSTFLAG	PCON	SFR0
起始地址	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	SFR 页
	可位寻址	不可位寻址							



3.8 用户配置字

芯片内部包含一块额外的 FLASH 空间用于保存芯片的配置信息。芯片为保证系统正常工作，会将关键模块的配置预先存储于此区域，在上电复位发生后会将配置信息载入寄存器中，通过寄存器确定关键模块的初始工作状态。这部分配置信息，即为用户配置字。

注：“用户配置字”在芯片正常操作时不允许修改，否则芯片会出现不可预知的情况。

用户配置字详细说明

符号	功能说明
OPT_RPT	<p>OP_RPT- Main Flash 读保护控制位</p> <p>0: 读保护开启。FLASH 内容禁止编程器读出，禁止进入调试模式，但允许内部 MOVN 指令在“脱机”情况下的读出；</p> <p>1: 读保护关闭；</p> <p>注 1: 当读保护关闭状态，[DIO]和[CLK]引脚只能作为仿真/烧写功能，GPIO 及其他复用功能关闭；当读保护开启状态，[DIO]和[CLK]引脚的仿真/烧写功能关闭，GPIO 及其他复用功能有效；</p> <p>注 2: 此选项配置仅在仿真调试界面支持配置；烧写器固定选择读保护开启，不支持配置。</p>

4 系统时钟与工作模式

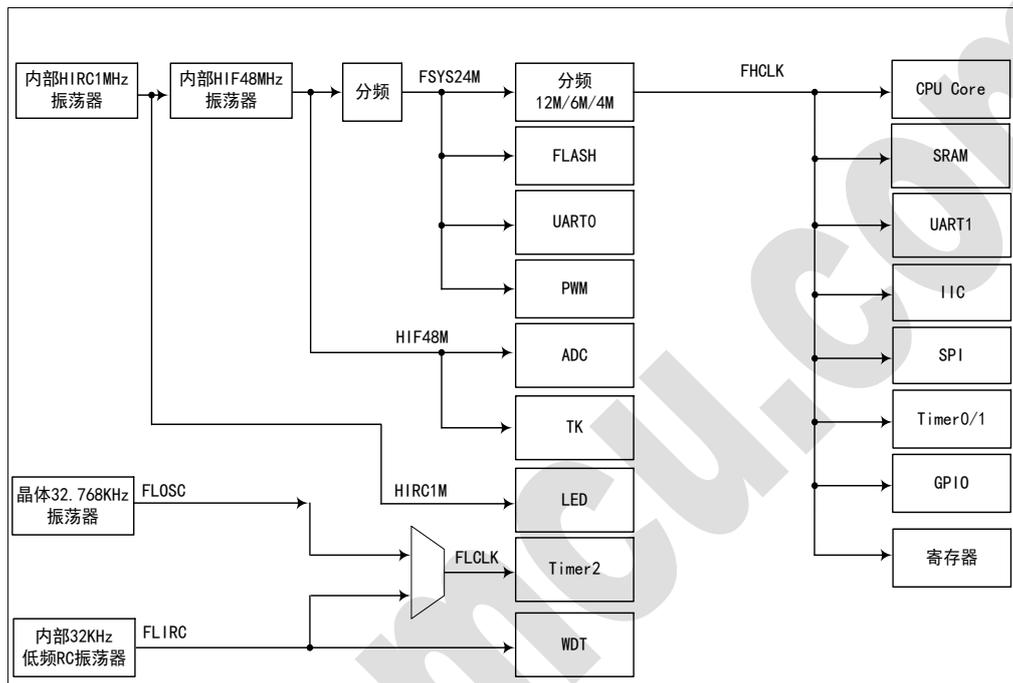
芯片支持 4 种时钟源：

- ◇ 内部高频 RC 时钟 FHIRC 1MHz
- ◇ 内部低频 RC 时钟 FLIRC 32kHz
- ◇ 内部高频 HIF 48MHz

支持 1 组 GPIO 作为外部晶体时钟接口。

4.1 系统时钟框图

系统时钟示意图



4.2 内置 1MHz 高频 RC 振荡器

芯片内置高精度 1MHz RC 振荡器 HIRC，提供 HIF 时基及 LED 时钟。

出厂时即已调校@5V/25°C，用户使用时无需重新调校。

4.3 内置 HIF 高频时钟

芯片内置频 HIF 时钟，分频后作为系统时钟或直接提供给 ADC\TK 模块。

4.4 内置 32KHz 低频 RC 振荡器

芯片内置一个低频 RC 振荡器 LIRC，提供 WDT/timer2 时钟。

4.5 外部 32.768kHz 晶体振荡器

外部 32.768kHz 晶体时钟，可作为 Timer2 时钟。



4.6 系统时钟相关寄存器

系统时钟寄存器汇总表

地址 (SFRn /H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0/ 84	CLKCR	时钟控制寄存 器	-	-	-	-	-	-	PLLDIV 1	PLLDIV 0	0000 0001

4.6.1 时钟控制寄存器 (CLKCR,0x84/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCR	-	-	-	-	-	-	PLLDIV1	PLLDIV0
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	1

BIT[7:2] -保留位，保持为 0

BIT[1:0] PLLDIV[1:0] - PLL 时钟分频选择

00: 2 分频 (12MHz)

01: 4 分频 (6MHz) (默认)

10: 6 分频 (4MHz)

11: 保留

4.7 工作模式

CORE 支持高速运行模式、停止模式 2 种工作模式。

工作模式	模式描述	功耗
高速运行模式	CORE 时钟运行在高频时钟 (FHCLK) 上，所有外设均可正常工作。	高
停止 (STOP) 模式	CORE 时钟停止，程序计数器 (PC) 挂起，HIF 和 HIRC1M 时钟关闭，RC32K 可配，WDT/TIMER2 可配置工作，CPU 和其余数字模块不工作。	低

芯片上电或复位默认开启 HIRC1M 和 HIF 时钟，提供给外设模块和 CPU core，通过软件可配置进入停止 (STOP) 模式。

此外，所有模块均可以单独配置关闭门控，以此降低功耗。如在正常模式下，可配置关闭 CPU 和系统模块时钟，只使能 LED/CSD/ADC 等模块工作；在停止模式下，还可配置关闭 RC32K 时钟，这样停止了所有时钟源，实现最低功耗，这时仅能通过外部中断低电平唤醒系统。

4.7.1 停止模式 (STOP mode)

在正常 (normal) 运行模式时，通过先对寄存器寄存器 PCON 中 STOP 位置 “1”，则系统进入停止模式，芯片进行相应处理：

- ◇ CORE 停止工作；
- ◇ LDO1P5 开启
- ◇ 高频振荡器 HIF 和 HIRC1M 停止；低频振荡器 RC32K 取决软件配置
- ◇ RAM 内容保持不变
- ◇ 所有的输入输出端口保持不变；
- ◇ 部分外设可以根据用户的设定，停止或保持继续工作；



以下情况可退出停止模式：

- ◇ 发生外部中断请求 (INT0/1/2) (可以参考中断章节的内容) ；
- ◇ 发生定时器 T2 中断 (可以参考中断章节的内容) ；
- ◇ 发生 IIC 中断 (可以参考中断章节的内容) ；
- ◇ 发生一个有效的复位(WDT) (可以参考中断章节的内容) ；

芯片退出停止模式后，经过振荡等待后，会将 STOP 清 0，以正常模式恢复工作。

注：STOP 模式下，关闭 BOR 可获得更低功耗，但芯片需确保在正常工作电压范围 (2.5V~5.5V) ，若芯片供电不稳导致低于 2.5V,强烈建议 BOR 开启。

NORMAL 和 STOP 模式下的外设状态

外设模块	时钟源	Normal 模式	STOP 模式
Mcu 内核	FHCLK	YES	NO
FLASH	FHCLK + FSYS24M	YES	NO
SRAM	FHCLK	YES	NO
UART0	FHCLK + FSYS24M	程序配置	NO
PWM0/1/2	FHCLK + FSYS24M	程序配置	NO
Timer0/1	FHCLK	程序配置	NO
外部中断 0/1/2	FHCLK	程序配置	程序配置
UART1	FHCLK	程序配置	NO
IIC	FHCLK	程序配置	程序配置
SPI	FHCLK	程序配置	NO
ADC	HIF48M	程序配置	NO
TK	HIF48M	程序配置	NO
LED	HIRC1M	程序配置	NO
Timer2	LIRC32K 或 FLOSC	程序配置	程序配置
WDT	LIRC32K	程序配置	程序配置

4.7.2 电源控制寄存器 (PCON,0x87/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	-	-	-	-	-	-	-	STOP
R/W	-	-	-	-	-	-	-	R/W
复位值	-	-	-	-	-	-	-	0

BIT[0] STOP – 停止模式控制位

0：未进入停止模式，退出停止模式后硬件清 0；

1：进入停止模式，用户是无法读取到 (1) 这个值的。

CORE 进入停止模式，C 语言代码应用举例：



```
#include <intrins.h>
.....
sfr PCON = 0x87;

    PCON = 0x01;          //CORE 进入停止模式
    _nop_();              //NOP 指令, 不可少
    _nop_();              //NOP 指令, 不可少
```

Sinomcu.com



5 复位

片上有 6 种复位方式

- ◇ 上电复位 POR/BOR
- ◇ 编程复位 PROGR
- ◇ DEBUG 复位 DEBUGR
- ◇ 看门狗复位 WDT
- ◇ 软件复位 SWR
- ◇ PC 地址溢出复位 ADDROFR

任何一种复位发生后，整个芯片发生复位，系统将会重新从 0000H 地址处开始执行指令；可通过复位标志寄存器确定复位源，复位标志位需要软件清零。

5.1 复位相关寄存器

复位寄存器汇总表

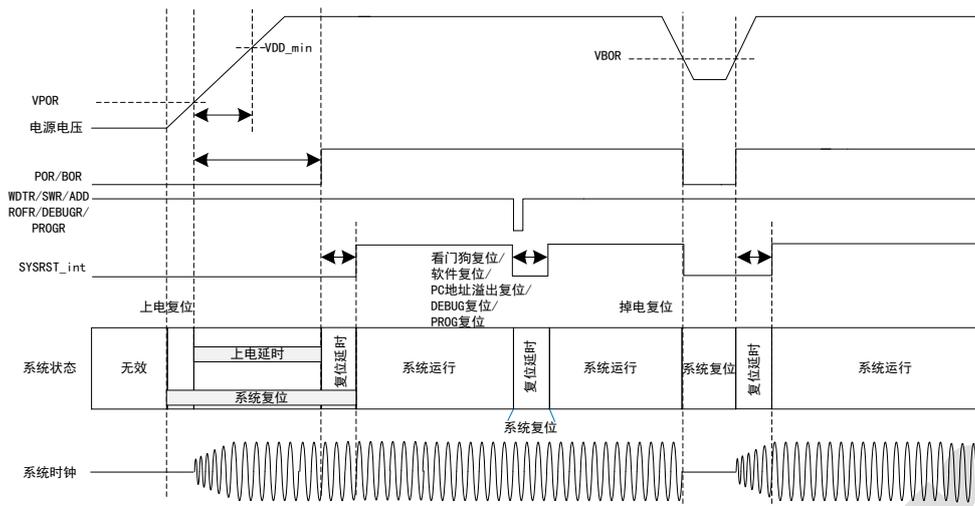
地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /8D	SOFTRS T	软件复位寄存器	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1	SWR0	0000 0000
SFR0 /86	RSTFLA G	复位标志寄存器	-	DEBUG RF	SWRF	PROGR F	ADDRO FRF	BORF	PORF	WDTR F	-000 0000
SFR0 /F8	PWRACR	功耗控制寄存器	-	-	-	LVDEN	BOREN	OSC32 KEN	TKEN	ADCE N	0001 1111
SFR0 /91	WDTCR	看门狗控制寄存器	-	-	-	-	WDTOT 3	WDTOT 2	WDTOT 1	WDTO T0	---- 0000
SFR0 /92	WDTEN	看门狗使能寄存器	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	0000 0000
SFR0 /96	T2WDTI F	T2/WDT 中断标志寄存器	-	-	-	-	-	-	WDTIF	T2IF	---- --00

5.2 复位条件

CORE 根据复位方式的不同，执行不同的复位动作，根据配置信息完成相应的模块配置后，在外部条件满足时才结束复位，系统重新开始工作。



系统状态与五种复位的关系示意图



5.3 复位预热

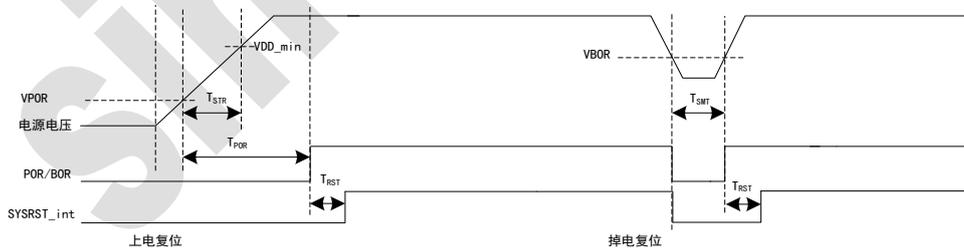
复位预热

复位类型	上电	其他复位
预热时间	90ms 上电复位+20ms 振荡器预热	20ms 振荡器预热

芯片上电后，先进行上电预热，再进行振荡器预热，完成后运行程序。

5.4 上电复位

在上电过程中，当 VDD 低于参考电压门限值，上电复位将保持芯片为复位模式。这种设计使芯片在 VDD 不满足执行读取存储器时，不访问程序存储器空间。如果从程序存储器读取并执行一个不确定的操作码，可能会使芯片甚至是整个系统进入错误状态。VDD 上升到参考门限电压以上，系统工作，所选的振荡器起振，程序从 0000H 开始执行，同时 PORF 上电标志位将置 1。若发生上电复位，上电标志 PORF 置 1，且上电后内部 RAM 的值为不确定，强烈建议用户初始化 RAM 再使用。



上电/掉电复位参数，参见电气章节。

5.5 掉电复位

系统发生掉电复位后模拟模块产生低电平的信号。掉电复位信号为低时整个芯片处于复位状态，变高后全局复位信号继续有效 20ms 后，系统退出复位模式。

芯片的 BOR 电压：2.1V。BOR 可以通过功耗控制寄存器 PWRACR 的 BOREN 位，开启或关闭。



5.5.1 功耗控制寄存器 (PWRACR 0xF8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWRACR	-	-	-	LV DEN	BOREN	OSC32KEN	TKEN	ADCEN
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	1	1	1	1	1

BIT[3] BOREN – BOR 使能控制位

0: 开启, VBOR=2.1V;

1: 关闭 (默认)。

5.6 看门狗复位

看门狗复位是一种对程序正常运行的保护机制。正常情况下, 用户软件需要按时对 WDT 定时器进行清零操作, 保证 WDT 不溢出。若出现异常状况, 程序未按时对 WDT 定时器清零, WDT 会溢出从而产生看门狗复位, 系统重新初始化, 返回受控状态。若发生看门狗复位, 程序从 0000H 地址开始执行。同时看门狗复位 WDTRF 标志位将被置 1。

看门狗定时计数电路使用内部 RC32KHz 时钟进行定时, 可配置 8 档定时时间: 18ms /36ms /72ms /144ms /288ms /576ms /1152ms /2304ms。

由于系统应用的特殊性, 对看门狗定时溢出信号分类:

在正常工作模式下, 若发生看门狗定时溢出, 则此时溢出信号为看门狗溢出复位信号, 看门狗溢出复位影响全局复位, 此时系统实现全局复位动作, 并重新加载配置信息;

在 STOP 模式下, 若发生看门狗定时溢出, 则此时溢出信号为看门狗中断信号, 中断唤醒芯片退出 STOP 模式并执行看门狗中断服务函数。

看门狗模块清零信号由全局复位及配置清零构成, 该信号在复位模块中由看门狗定时时钟进行同步释放处理; 每次 CPU 配置看门狗定时配置寄存器(WDT_CTRL)时产生清零动作, 看门狗重新开始定时;

配置使能寄存器, 可以关闭看门狗计数, 在计数使能有效的情况下, 看门狗产生定时溢出(复位或中断)后, 看门狗计数器将重新开始计数。

5.6.1 看门狗控制寄存器 (WDTCR,0x91/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTCR	-	-	-	-	WDTOT3	WDTOT2	WDTOT1	WDTOT0
R/W	-	-	-	-	-	R/W	R/W	R/W
复位值	-	-	-	-	-	0	0	0

BIT[3:0] WDTOT[3:0] – WDT 溢出时间控制位

WDT[2:0]	WDT 溢出时间
000	18ms (复位值)
001	36ms
010	72ms
011	144ms
100	288ms
101	576ms



110	1152ms
111	2304ms

注 1: 上表中的“WDT 溢出时间”是一个理论的溢出时间, 实际溢出时间和 LIRC 有关, 请以 LIRC 规格为准;

注 2: 看门狗定时器清零是通过写 WDTCR 寄存器完成的, 无论向此寄存器中写入何值都会使看门狗定时器清零。

喂狗操作 (清 WDT), C 语言代码应用举例:

```
sfr WDTCR = 0x91;

WDTCR = 0x03;    //WDT 复位之前, 喂狗操作 (清 WDT), 再从重新开始计时, 溢出时间 144ms
```

5.6.2 看门狗使能寄存器 (WDTEN,0x92/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] EN[7:0] - WDT 使能控制位

写 0x55 时关闭看门狗, 写其他值开启看门狗,看门狗定时器在复位结束后一直工作。

5.6.3 T2/WDT 中断标志寄存器 (T2WDTIF,0x96/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2WDTIF	-	-	-	-	-	-	WDTIF	T2IF
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1] WDTIF - WDT 定时器中断标志位

0: 未发生中断;

1: 发生中断。

BIT[0] T2IF - 定时器 T2 溢出中断标志位

0: 未发生中断;

1: 发生中断。

5.7 软件复位

软件复位是一种对可控的程序自发的复位行为。通过写 SOFTRST 寄存器, 使软复位信号有效, 触发全局复位, 复位延迟 20ms 后, 系统退出复位模式。同时软件复位 SWRF 标志位将置 1。

5.7.1 软件复位寄存器 (SOFTRST,0x8D/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SOFTRST	SWR7	SWR6	SWR5	SWR4	SWR3	SWR2	SWR1	SWR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] SWR[7:0] - 软件复位



只有在寄存器值为 0x55 时,产生软件复位; 复位后此寄存器清零。

软件复位, C 语言代码应用举例:

```
sfr SOFTRST = 0x8D;

SOFTRST = 0x55;           //软件复位生效, 以下代码将不会执行
```

5.8 PC 地址溢出复位

若 MCU 寻址程序存储器时 PC 指针超出了 flash 有效的地址范围, 发生 ADDROFR 复位, 复位延迟 20ms 后, 系统退出复位模式。同时 PC 地址溢出复位标志 ADDROFRF 将置 1。

5.9 DEBUG 复位

内核调试复位, 触发全局复位, 发生复位后, 复位延时仅 1 个系统时钟, 退出复位模式。同时 DEBUG 复位标志 DEBUGF 将置 1。

5.10 复位标志

系统在热复位的条件下, 用户可以通过查看复位标志寄存器, 确认系统复位的原因。

5.10.1 复位标志寄存器 (RSTFLAG,0x86/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RSTFLAG	-	DEBUGRF	SWRF	PROGRF	ADDROFRF	BORF	PORF	WDTRF
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	0	0	0	0	0	0	0

BIT[6] DEBUGRF- 调试复位标志位

0: 未发生调试复位;

1: 曾经发生过调试复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[5] SWRF - 软件复位标志位

0: 没有发生过软件复位;

1: 曾经发生过软件复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[4] PROGRF- 编程复位标志位

0: 未发生编程复位;

1: 曾经发生过编程复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[3] ADDROFRF- PC 地址溢出复位标志位

0: 未发生 PC 地址溢出复位;

1: 曾经发生过 PC 地址溢出复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[2] BORF- 掉电复位标志位

0: 没有发生过掉电复位;

1: 曾经发生过掉电复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[1] PORF- 上电复位标志位

0: 未发生上电复位;



1: 曾经发生过上电复位, 硬件置 1 但不会清 0, 需要用户手动清。

BIT[0]

WDTRF – 看门狗复位标志位

0: 没有发生过看门狗定时器溢出复位;

1: 曾经发生过看门狗定时器溢出复位, 硬件置 1 但不会清 0, 需要用户手动清。

注 1: 以上 7 个复位标志在置位 (=1) 后, 需要手动清除, 否则硬件不会自动清零 (=0); 建议用户在每次使用这些标志位之前, 将以上 7 个“复位标志位”全部清零。

注 2: 若不清零, 不同复位原因标志位之间可以累积记录; 但对于同一复位原因标志位, 前后复位之间, 对已经置位 (=1) 的标志位将无影响, 所以用户可能因此检查不到“重复复位”的标志位。



6 I/O端口

6.1 端口特性

芯片共有 3 组 8 位端口的 P0、P1 和 P2，以及一组 2 位端口的 P3，总共 4 组 IO 端口。

每个 IO 都有 2 种模式可选：输出模式、输入模式。

P3.0/P3.1/P1.5/P1.3 支持开漏输出和推挽输出选择，其余 IO 仅支持推挽输出模式；

P0 口支持大电流灌电流能力。

推挽输出模式：此模式下能输出很强的驱动能力。

输入模式：此模式下可实现输入，而根据用户的配置实现不带上拉电阻、带上拉电阻 2 种输入方式。

开漏输出模式：此模式下仅有输出低驱动能力，无输出高驱动能力，可配置内部上拉电阻

6.2 端口相关寄存器

端口寄存器汇总表

地址 (SFR n/H)	寄存器 名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /ED	P0PU	P0 端口上拉电 阻控制寄存器	P07PU	P06PU	P05PU	P04PU	P03PU	P02PU	P01PU	P00PU	0000 0000
SFR0 /EE	P1PU	P1 端口上拉电 阻控制寄存器	P17PU	P16PU	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU	0000 0000
SFR0 /EF	P2PU	P2 端口上拉电 阻控制寄存器	P27PU	P26PU	P25PU	P24PU	P23PU	P22PU	P21PU	P20PU	0000 0000
SFR0 /EC	P3PU	P3 端口上拉电 阻控制寄存器	-	-	-	-	-	-	P31PU	P30PU	---- --00
SFR0 /E5	P0MOD	P0 端口模式寄 存器 1	P07M	P06M	P05M	P04M	P03M	P02M	P01M	P00M	1111 1111
SFR0 /E6	P1MOD	P1 端口模式寄 存器 0	P17M	P16M	P15M	P14M	P13M	P12M	P11M	P10M	1111 1111
SFR0 /E7	P2MOD	P2 端口模式寄 存器 0	P27M	P26M	P25M	P24M	P23M	P22M	P21M	P20M	1111 1111
SFR0 /E4	P3MOD	P3 端口模式寄 存器 0	-	-	-	-	-	-	P31M	P30M	---- --11
SFR0 /80	P0	P0 端口数据寄 存器	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D	xxxx xxxx
SFR0 /90	P1	P1 端口数据寄 存器	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D	xxxx xxxx
SFR0 /98	P2	P2 端口数据寄 存器	P27D	P26D	P25D	P24D	P23D	P22D	P21D	P20D	xxxx xxxx
SFR0 /A0	P3	P3 端口数据寄 存器	-	-	-	-	-	-	P31D	P30D	---- --xx
SFR0 /E3	PXODEN	端口开漏控制 寄存器	-	-	-	-	P13OD	P15OD	P31OD	P30OD	---- 0000



SFR0 /DB	P0ODM	P0 大电流控制 寄存器	P07OD M	P06OD M	P05OD M	P04OD M	P03OD M	P02OD M	P01OD M	P00ODM	0000 0000
SFR0 /B3	LEDCR0	LED 控制寄存 器 0	-	-	-	LEDMO D2	LEDMO D1	LEDMO D0	SCANM OD	P0ODM	---0 0000

6.3 端口模式及数据控制

每个 IO 都有 2 种模式可选：输出模式、输入模式。

端口数据寄存器 P0/P1/P2/P3，全部支持位寻址。

6.3.1 P0 端口模式寄存器 (P0MOD,0xE5/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD	P07M	P06M	P05M	P04M	P03M	P02M	P01M	P00M
R/W								
复位值	1	1	1	1	1	1	1	1

BIT[7:0] P0nM[1:0] (n = 7 - 0) - P0 端口模式选择位，初始状态为输入模式

6.3.2 P1 端口模式寄存器 (P1MOD,0xE6/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD	P17M	P16M	P15M	P14M	P13M	P12M	P11M	P10M
R/W								
复位值	1	1	1	1	1	1	1	1

BIT[7:0] P1nM[1:0] (n = 7 - 0) - P1 端口模式选择位，初始状态为输入模式

6.3.3 P2 端口模式寄存器 (P2MOD,0xE7/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD	P27M	P26M	P25M	P24M	P23M	P22M	P21M	P20M
R/W								
复位值	1	1	1	1	1	1	1	1

BIT[7:0] P2nM[1:0] (n = 7 - 0) - P2 端口模式选择位，初始状态为输入模式

6.3.4 P3 端口模式寄存器 (P3MOD,0xE4/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD	-	-	-	-	-	-	P31M	P30M
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	1	1

BIT[1:0] P3nM[1:0] (n = 1 - 0) - P3 端口模式选择位，初始状态为输入模式

端口输入/输出模式对应表

PxnM (x = 0-3; n = 7-0)	IO 工作模式
1	输入模式
0	输出模式

注：P3.0/P3.1/P1.5/P1.3 支持开漏输出和推挽输出选择，由 PXODEN 寄存器控制，其余 IO 仅支持推挽输出模式；

**6.3.5 P0 端口数据寄存器 (P0,0x80/SFR0)**

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P07D	P06D	P05D	P04D	P03D	P02D	P01D	P00D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] P0nD (n = 7 - 0) – P0 端口数据位

6.3.6 P1 端口数据寄存器 (P1,0x90/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] P1nD (n = 7 - 0) – P1 端口数据位

6.3.7 P2 端口数据寄存器 (P2,0x98/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P27D	P26D	P25D	P24D	P23D	P22D	P21D	P20D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] P2nD (n = 7 - 0) – P2 端口数据位

6.3.8 P3 端口数据寄存器 (P3,0xA0/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	-	-	-	-	-	-	P31D	P30D
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	X	X

BIT[1:0] P3nD (n = 1 - 0) – P3 端口数据位

端口输出电平对应表

PxnD[1:0] (x = 0-3; n = 7-0)	IO 电平
0	低电平
1	高电平
X	不确定 (复位值)

注：P0、P1、P2、P3 口的数据值在复位之后为 (X) 不确定状态，建议用户使用之前先写入一个确定的初始电平值。

6.4 输入上拉电阻控制

P0、P1、P2、P3 端口的每位都内置有独立的输入上拉电阻控制。无论端口处于输入或输出模式都配置有效。

6.4.1 P0 端口上拉电阻控制寄存器 (POPU,0xED/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POPU	P07PU	P06PU	P05PU	P04PU	P03PU	P02PU	P01PU	P00PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



复位值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

BIT[7:0] P0nPU0 (n = 7 - 0) – P0 端口上拉电阻选择位 0

6.4.2 P1 端口上拉电阻控制寄存器 (P1PU,0xEE/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1PU	P17PU	P16PU	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] P1nPU0 (n = 7 - 0) – P1 端口上拉电阻选择位 0

6.4.3 P2 端口上拉电阻控制寄存器 (P2PU,0xEF/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2PU	P27PU	P26PU	P25PU	P24PU	P23PU	P22PU	P21PU	P20PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] P2nPU0 (n = 7 - 0) – P2 端口上拉电阻选择位 0

6.4.4 P3 端口上拉电阻控制寄存器 (P3PU,0xEC/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3PU	-	-	-	-	-	-	P31PU	P30PU
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1:0] P3nPU0 (n = 1 - 0) – P3 端口上拉电阻选择位 0

端口上拉电阻选择对应表

PxnPU (x = 0-3; n = 7-0)	上拉电阻选择
0	无上拉电阻控制 (复位值)
1	输入带内部上拉

6.5 开漏输出控制

6.5.1 端口开漏控制寄存器 (PXODEN,0xE3/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PXODEN	-	-	-	-	P13OD	P15OD	P31OD	P30OD
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3:2] P1nOD (n = 3,5) – P1 端口开漏输出控制位

BIT[1:0] P3nOD (n = 1,0) – P3 端口开漏输出控制位

端口开漏控制对应表

PxnOD (x = 1,3; n = 3,5,1,0)	输出模式下, 开漏/推挽选择
0	推挽输出 (复位值)
1	开漏输出



注：支持开漏选择的 IO 引脚复用 IIC 功能，当对应的引脚复用 IIC 功能开启，则该引脚固定为开漏输出，不受此控制位控制。

6.6 驱动电流控制

6.6.1 P0 大电流控制寄存器 (P0ODM,0xDB/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0ODM	P07ODM	P06ODM	P05ODM	P04ODM	P03ODM	P02ODM	P01ODM	P00ODM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] P0nODM (n = 7 - 0) – P0 端口输出灌电流控制位

PO 端口灌电流控制对应表

P0nODM (n = 7 - 0)	输出模式下，GPIO 的灌电流能力选择
0	输出灌电流大小参考 IOL01 的值（复位值）
1	输出灌电流大小参考 IOL02 的值（大驱动）

6.6.2 LED 控制寄存器 0 (LEDCR0,0xB3/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCR0	-	-	-	LEDMOD2	LEDMOD1	LEDMOD0	SCANMOD	P0ODM
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	0	0	0	0	0

BIT[0] P0ODM – 大电流口（P0 端口）控制位

0：所有 P0 口大电流功能不锁定，可配置为其他功能；

1：所有 P0 口大电流功能锁定，作为大电流口功能。

注：P0 口锁定大电流 IO 口时，通过配置 GPIO 寄存器输出驱动时序，它有效时，所有 LED 扫描配置均无效。



7 定时器

7.1 定时器 T0/T1

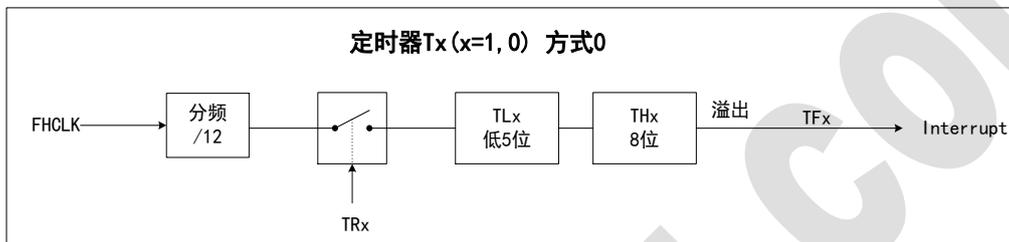
芯片定时器 T0 和 T1 为标准 8051 的 16 位定时器 T0 和 T1 简化版，定时器的两个 8 位数据寄存器 (THx\TLx, x=0,1) 可作为一个 16 位寄存器来访问。

定时器具有 4 种工作方式，通过定时器模式寄存器的方式选择位 (TxM[1:0]) 来选择定时器 Tx 的工作方式。

7.1.1 方式 0: 13 位定时器

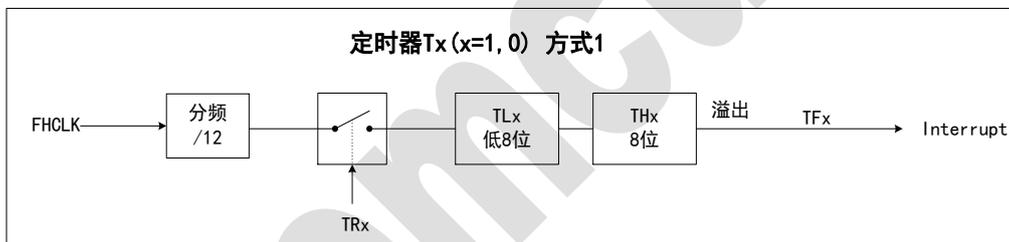
在方式 0 中，定时器 Tx (x=0,1) 为 13 位定时器。递增计数寄存器 THx[7:0] 存放 13 位定时器的高 8 位，TLx[4:0] 存放低 5 位，而 TLx[7:5] 的值不确定，在读取时应被忽略。当 13 位计数寄存器溢出时，溢出标志 TFx 将被置 1，如果 Tx 中断被允许，将会产生定时器 Tx 中断。

TRx 位置 1 不强行复位定时器，即 TRx 置 1 时计数寄存器将从上次 TRx 清 0 时的值恢复计数。所以在启动定时器之前应设定计数寄存器的复位值。



7.1.2 方式 1: 16 位定时器

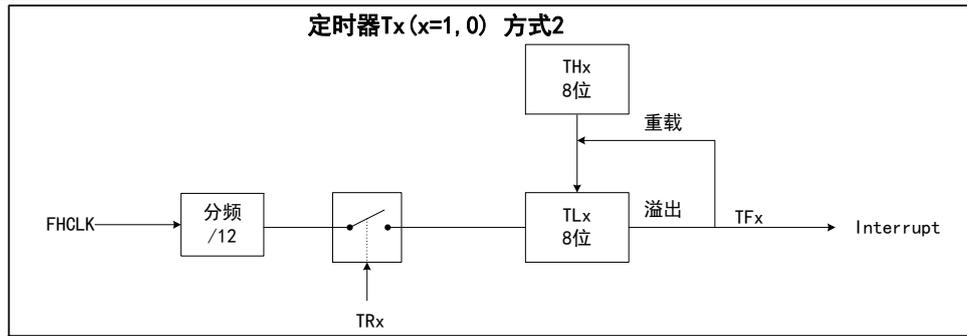
除了使用 16 位计数寄存器 THx/TLx 外，方式 1 的运行与方式 0 相同，打开和设置定时器也与方式 0 相同。



7.1.3 方式 2: 8 位自动重载定时器

方式 2 中，定时器 Tx 用作 8 位自动重载定时器。TLx 存放计数值，THx 存放重载值。当递增计数器 TLx 溢出至 0x00 时，溢出标志 TFx 将被置 1，寄存器 THx 的值重新载入计数器 TLx 中，而 THx 的重载值不变。如果 Tx 中断被允许，将会产生定时器 Tx 中断。在此方式下，首次打开定时器开始计数之前，应将 TLx 初始化为重载值，确保首次溢出时间与后续一致。

仅 T1 可以用作 UART0 的波特率发生器，T0 不可作为波特率发生器。除自动重载功能以外，方式 2 中的定时器的使能和设置与方式 1 和 0 基本相同。

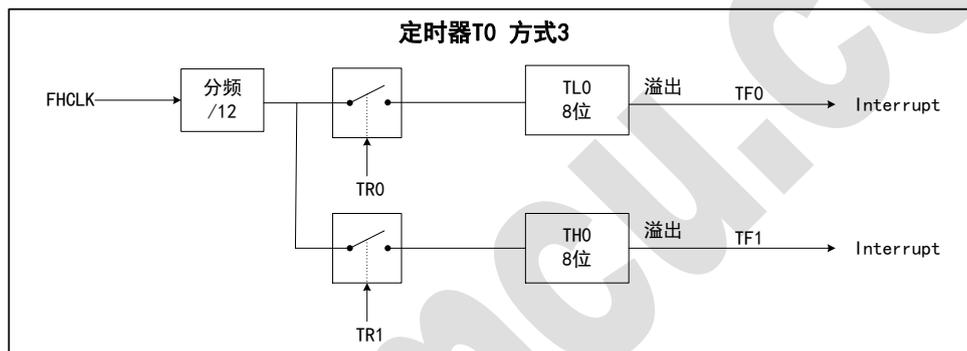


7.1.4 方式 3: 两个 8 位定时器 (只限于定时器 T0)

在方式 3 中, 定时器 T0 用作两个独立的 8 位定时器, 分别由 TL0 和 TH0 控制。TL0 使用定时器 T0 的控制 (TCON 中) 和状态 (TMOD 中) 位: TR0 和 TF0。

TH0 只能用作定时器功能, 借用定时器 T1 的控制位 TR1 控制使能, 溢出时借用定时器 T1 溢出标志 TF1 置 1, 产生 T1 中断。

当 T0 工作在方式 3 时, 定时器 T1 可以工作在方式 0、1 或 2, 但是无法将 TF1 标志置 1, 无法产生中断。TH1 和 TL1 只能用作定时器功能。因为 TR1 被定时器 0 占用, 所以定时器 T1 改由方式设置来控制使能/关闭。设为方式 0/1/2 时 T1 使能, 设为方式 3 时 T1 被关闭。



7.2 T0/T1 相关寄存器

T0/T1 寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)
SFR0 /8D	TH1	定时器计数高位寄存器 1	TH17	TH16	TH15	TH14	TH13	TH12	TH11	TH10	0000000
SFR0 /8C	TH0	定时器计数高位寄存器 0	TH07	TH06	TH05	TH04	TH03	TH02	TH01	TH00	0000000
SFR0 /8B	TL1	定时器计数低位寄存器 1	TL17	TL16	TL15	TL14	TL13	TL12	TL11	TL10	0000000
SFR0 /8A	TL0	定时器计数低位寄存器 0	TL07	TL06	TL05	TL04	TL03	TL02	TL01	TL00	0000000
SFR0 /89	TMOD	定时器模式寄存器	-	-	T1M1	T1M0	-	-	T0M1	T0M0	0000000



SFR0 /88	TCON	定时器控制寄存器	TF1	TR1	TF0	TR0	EXT1IF	-	EXT0IF	-	0000 -1-1
----------	------	----------	-----	-----	-----	-----	--------	---	--------	---	--------------

7.2.1 定时器模式寄存器 (TMOD,0x89/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	-	-	T1M1	T1M0	-	-	T0M1	T0M0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[5:4] T1M[1:0] – 定时器 T1 工作方式选择位

T1M[1:0]	定时器 T1 工作方式
00	方式 0
01	方式 1
10	方式 2
11	禁止 (T1 将停止工作)

注: T1 没有工作方式 3, 用户强制使用 T1 的方式 3, T1 将停止工作。

BIT[1:0] T0M[1:0] – 定时器 T0 工作方式选择位

T0M[1:0]	定时器 T0 工作方式
00	方式 0
01	方式 1
10	方式 2
11	方式 3

7.2.2 定时器控制寄存器 (TCON,0x88/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	EXT1IF	-	EXT0IF	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	1	0	1

BIT[7、5] TF_x – 定时器 T_x 溢出标志位 (x=1,0)

0: 定时器 T_x 无溢出, 可由软件清 0;

1: 定时器 T_x 溢出时, 由硬件置 1。

BIT[6、4] TR_x – 定时器 T_x 使能位 (x=1,0)

0: 定时器 T_x 中止递增, TH_x 和 TL_x 寄存器的数值将停在“中止”时候的数值;

1: 定时器 T_x 开始递增, 或者 (TH_x 和 TL_x 寄存器不重新赋值) 继续递增。

BIT[3、1] EXT_xIF – 外部中断 x (x=1,0) 标志位, 硬件置 1, 可由软件清 0

0: 未发生中断;

1: 发生中断。

7.2.3 定时器计数高位寄存器 0 (TH0,0x8C/SFR0) 和定时器计数高位寄存器 1 (TH1,0x8D/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH _x	TH _x 7	TH _x 6	TH _x 5	TH _x 4	TH _x 3	TH _x 2	TH _x 1	TH _x 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0



BIT[7:0] THx[7:0] - 定时器 Tx 高 8 位计数器 (x=1,0)

7.2.4 定时器计数低位寄存器 0 (TL0,0x8A/SFR0) 和定时器计数低位寄存器 1 (TL1,0x8B/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TLx	TLx7	TLx6	TLx5	TLx4	TLx3	TLx2	TLx1	TLx0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

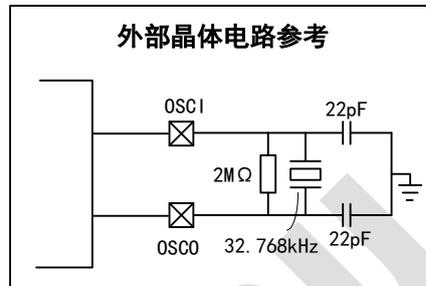
BIT[7:0] TLx[7:0] - 定时器 Tx 低 8 位计数器 (x=1,0)

注 1: 无论是读或者写 TLx/THx 的值, 必须先停止 (TRx=0), 否则 Tx 将产生不可预知的情况。

注 2: 写操作时: 必须先写 TLx, 再写 THx; 否则 TLx 的值不能立即反映到芯片上; 读操作时: 必须先读 TLx, 再读 THx, 否则将读取到错误的值。

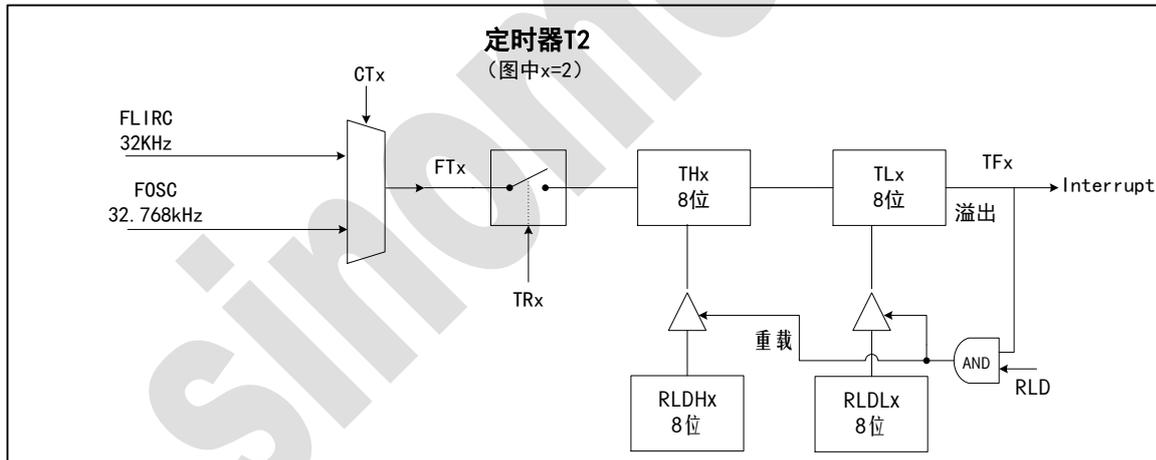
7.3 定时器 T2

芯片包含 1 个 16 位基础定时器 T2, T2 是一个向上递增型定时器, 可选择内部 RC32K 时钟或外部晶体 FOSC 32.768KHz 时钟。计数器启动后从零开始计数, 当计数器与[RLDH2,RLDL2]设定值相同时产生中断。



T2 有两种工作模式: 单次定时模式和自动重装载模式, 无论哪种模式, 计时完成均会产生中断。

T2 支持中断唤醒低功耗模式功能, 在中断处理函数中需要软件清除中断标记。



7.4 T2 相关寄存器

T2 寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)



SFR0 /93	TIM2CR	T2 控制寄存器	-	-	-	-	MOD	CT2	RLD	TR2	----	0000
SFR0 /94	RLDL2	T2 重载配置低位寄存器	RLL7	RLL6	RLL5	RLL4	RLL3	RLL2	RLL1	RLL0	00000	000
SFR0 /95	RLDH2	T2 重载配置高位寄存器	RLH7	RLH6	RLH5	RLH4	RLH3	RLH2	RLH1	RLH0	00000	000
SFR0 /96	T2WDT1 F	T2/WDT 中断标志寄存器	-	-	-	-	-	-	WDTIF	T2IF	----	--00
SFR0 /F8	PWRACR	功耗控制寄存器	-	-	-	LVDEN	BOREN	OSC32 KEN	TKEN	ADCEN	---	1111

7.4.1 T2 控制寄存器 (TIM2CR,0x93/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TIM2CR	-	-	-	-	MOD	CT2	RLD	TR2
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] MOD –计数模式选择位

0: 计数步进为 1 个时钟。定时时长= $T_{FT2} * (RLDH2, RLDL2) + 1$

1: 计数步进为 65536 个时钟； 定时时长= $65536 * T_{FT2} * (RLDH2, RLDL2) + 1$

BIT[2] CT2 – 时钟选择

0: 选择 FLIRC 32K

1: 选择 FOSC 32.768KHz 晶体

BIT[1] RLD – 自动重载使能位

0: 手动重载模式；

1: 自动重载模式。

BIT[0] TR2 – 定时器 T2 使能位

0: 停止定时；

1: 开始定时，每次写入 1，将 T2 从零开始递增计数；在手动重载模式下会在计数完成后硬件自动清零该寄存器，停止计数，在自动重载模式下会在计数完成后维持该使能寄存器，自动重新从零计数。

注：配置 TIM2CR 寄存器会清零计数器。

7.4.2 T2 重载配置高位寄存器 (RLDH2,0x95/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RLDH2	RLH7	RLH6	RLH5	RLH4	RLH3	RLH2	RLH1	RLH0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] RLH[7:0] – 定时器 T2 重载配置高 8 位计数器设定值

7.4.3 T2 重载配置低位寄存器 (RLDL2,0x94/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RLDL2	RLL7	RLL6	RLL5	RLL4	RLL3	RLL2	RLL1	RLL0
R/W								



复位值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

BIT[7:0] RLL[7:0] – 定时器 T2 重载配置低 8 位计数器设定值

注：配置 RLDH2 或 RLDL2 寄存器都会清零计数器。

7.4.4 T2/WDT 中断标志寄存器 (T2WDTIF,0x96/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2WDTIF	-	-	-	-	-	-	WDTIF	T2IF
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1] WDTIF – WDT 定时器中断标志位

0: 未发生中断;

1: 发生中断。

BIT[0] T2IF – 定时器 T2 溢出中断标志位

0: 未发生中断;

1: 发生中断。

7.4.5 功耗控制寄存器 (PWRACR,0xF8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWRACR	-	-	-	LV DEN	BOREN	OSC32KEN	TKEN	ADCEN
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	1	1	1	1	1

BIT[2] OSC32KEN– 32.768K 晶体驱动使能位

0: 使能;

1: 关闭;

8 PWM

8.1 PWM0

片上提供 16 位 4 通道 PWM0 模块。周期可配置，每个通道占空比可调。通过极性控制可支持互补输出。4 个通道对应输出引脚为 PWM00/PWM01/PWM02/PWM03。

通道 PWM01/PWM02/PWM03 的占空比支持独立选择是否与 PWM00 相同，也可以选择独立占空比。

PWM 时钟为 F_{sys24M}，周期由周期寄存器（PWM0P）值确定，占空比由占空比寄存器（PWM0xD，x=0~3）值确定。4 个通道都可以单独控制使能，输出信号支持极性控制。

PWM0 计数器从 0x0000 开始向上计数，当计到 PWM0xD 时输出翻转，这段时间为占空比宽度，继续计数直到计到 PWM0P+1 时计数溢出，计数器从 0x0000 重新开始，依次反复。

如果 PWM0xS=0，输出翻转时 PWM0x 信号进入低态，计数溢出时 PWM0x 信号进入高态。如果 PWM0xS=1，输出翻转时 PWM0x 信号进入高态，计数溢出时 PWM0x 信号进入低态。（x=0~3）

PWM0 周期的计算公式：

$$\text{PWM0周期} = \frac{\text{PWM0P} + 1}{F_{\text{sys24M}}}$$

注：PWM0 周期的时钟设定，固定为 F_{sys24Mo}

PWM0 占空比的计算公式：

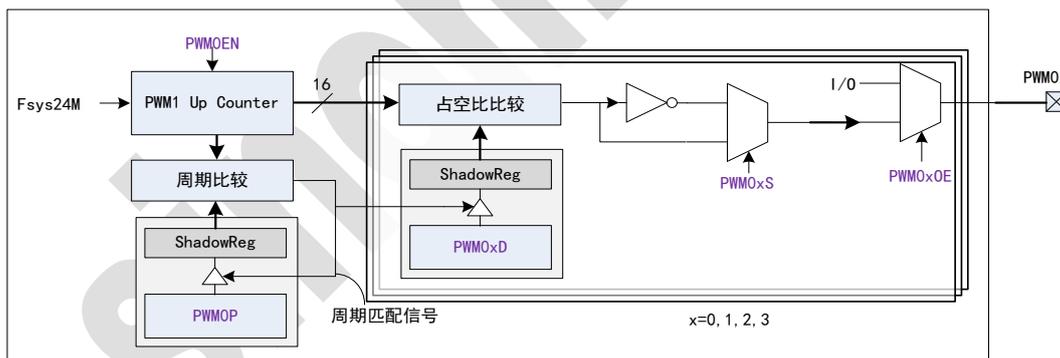
$$\text{PWM0占空比} = \frac{\text{PWM0xD}}{\text{PWM0P} + 1}$$

注 1：当 PWM0xD=0 时，占空比为最小 0%；当 PWM0D<PWM0P，占空比为 PWM0xD 值时间；当 PWM0D>PWM0P 时，占空比为最大 100%。

注 2：在 PWM0 输出波形时，若当前周期或占空比被修改，不会立即生效，需要等到下个周期来到才会相应改变。

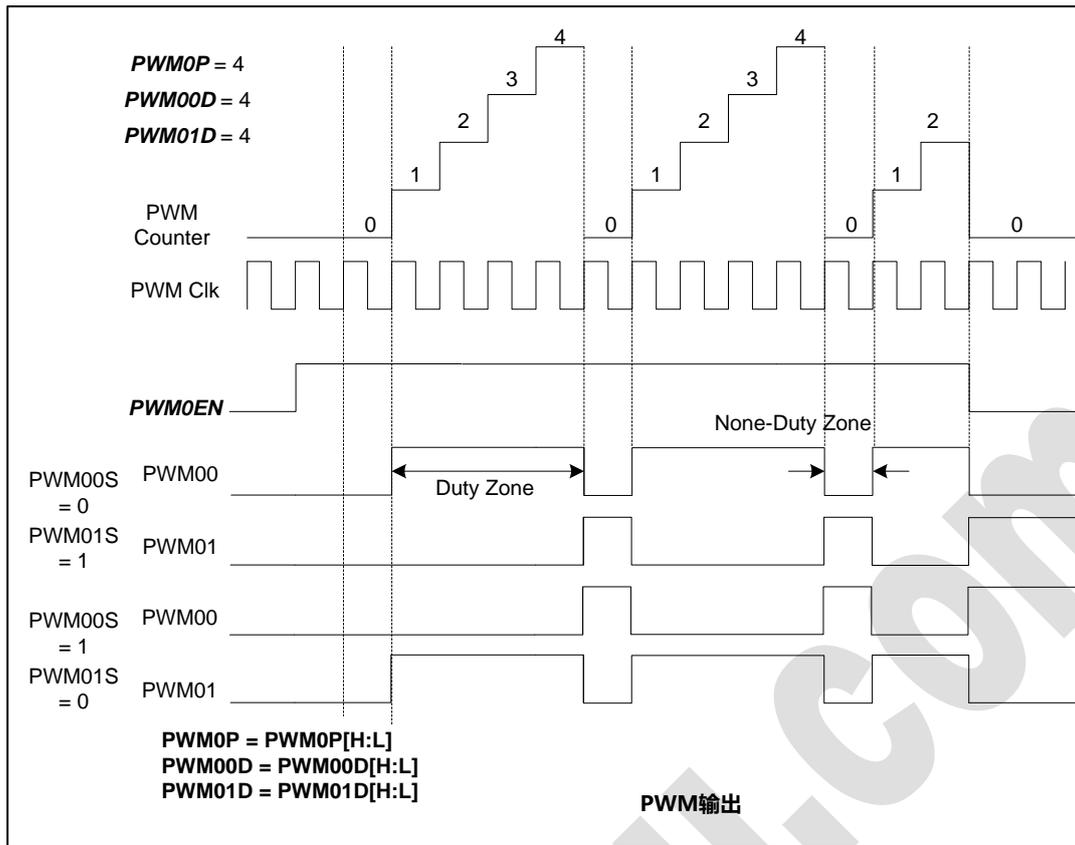
注 3：计数器是自动重载的，不会自行停止，直到寄存器 PWM0 使能关闭才会停止，计数器清零。

PWM0 结构示意图





PWM0 输出波形时序图



8.2 PWM1/2

片上提供 2 个精简版 16 位单通道 PWM1/2 模块。可独立配置高低电平，极性固定，占空比固定高电平。通道对应输出引脚为 PWM1/PWM2。

PWM 时钟为 FSYS24M，PWM 计数器从 0x0000 开始向上计数，输出高电平，当计到 PWMxH 时输出低电平，这段时间为占空比宽度，继续从 0x0000 开始向上计数直到计到 PWMxL 时输出高电平。依次反复。(x=1/2)

PWM1/2 周期的计算公式：

$$\text{PWM周期} = \frac{\text{PWMxH} + \text{PWMxL}}{\text{Fsys24M}}$$

注：PWM 周期的时钟设定，固定为 F_{SYS24M}

PWM1/2 占空比的计算公式：

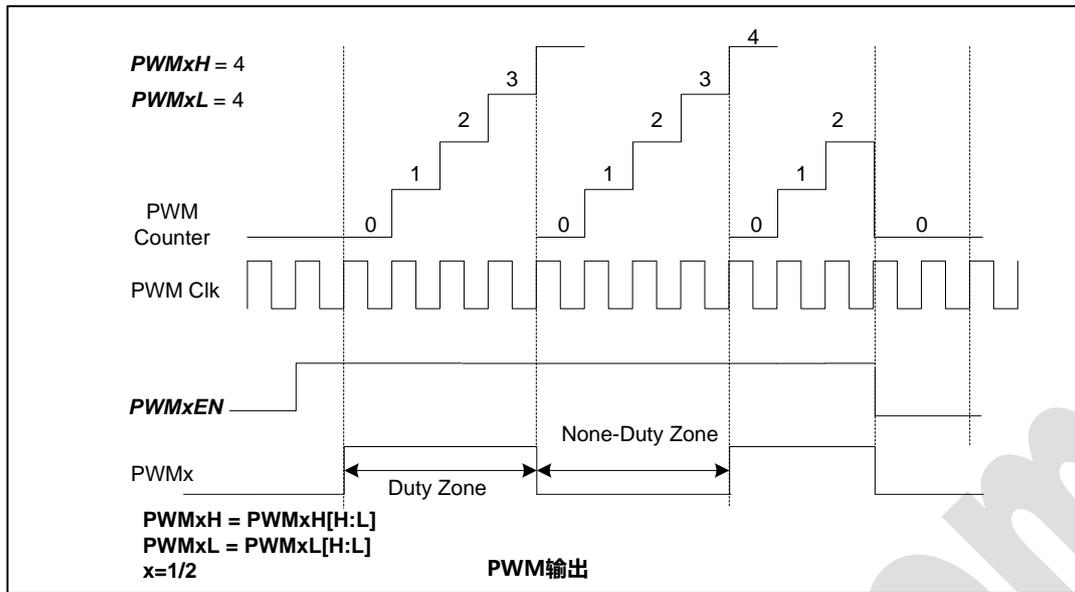
$$\text{PWM占空比} = \frac{\text{PWMxH}}{\text{PWMxH} + \text{PWMxL}}$$

注 1：在 PWM1/2 输出波形时，若当前高低电平寄存器被修改，不会立即生效，需要等到下个周期来到才会相应改变。

注 2：计数器是自动重载的，不会自行停止，直到寄存器 PWM1/2 使能关闭才会停止，计数器清零。



PWM1/2 输出波形时序图



8.3 PWM 相关寄存器

PWM 寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR/9 7	PWMCR	PWM 控制寄存器	-	-	PWM03 DS	PWM02 DS	PWM01 DS	PWM2E N	PWM1E N	PWM0 EN	--00 0000
SFR/9 9	PWM0C R	PWM0 控制寄存器	PWM03 S	PWM02 S	PWM01 S	PWM00 S	PWM03 OE	PWM02 OE	PWM01 OE	PWM0 OOE	0000 0000
SFR/9 A	PWM0PL	PWM0 周期寄存器低位	PWM0P 7	PWM0P 6	PWM0P 5	PWM0P 4	PWM0P 3	PWM0P 2	PWM0P 1	PWM0 P0	00000 000
SFR/9 B	PWM0P H	PWM0 周期设置寄存器高位	PWM0P 15	PWM0P 14	PWM0P 13	PWM0P 12	PWM0P 11	PWM0P 10	PWM0P 9	PWM0 P8	00000 000
SFR/9 C	PWM00 DL	PWM00 占空比设置寄存器低位	PWM00 D7	PWM00 D6	PWM00 D5	PWM00 D4	PWM00 D3	PWM00 D2	PWM00 D1	PWM0 0D0	00000 000
SFR/9 D	PWM00 DH	PWM00 占空比设置寄存器高位	PWM00 D15	PWM00 D14	PWM00 D13	PWM00 D12	PWM00 D11	PWM00 D10	PWM00 D9	PWM0 0D8	00000 000
SFR/9 E	PWM01 DL	PWM01 占空比设置寄存器低位	PWM01 D7	PWM01 D6	PWM01 D5	PWM01 D4	PWM01 D3	PWM01 D2	PWM01 D1	PWM0 1D0	00000 000
SFR/9 F	PWM01 DH	PWM01 占空比设置寄存器高位	PWM01 D15	PWM01 D14	PWM01 D13	PWM01 D12	PWM01 D11	PWM01 D10	PWM01 D9	PWM0 1D8	00000 000
SFR/A 2	PWM02 DL	PWM02 占空比设置寄存器低	PWM02 D7	PWM02 D6	PWM02 D5	PWM02 D4	PWM02 D3	PWM02 D2	PWM02 D1	PWM0 2D0	00000 000



		位									
SFR/A 3	PWM02 DH	PWM02 占空比 设置寄存器高 位	PWM02 D15	PWM02 D14	PWM02 D13	PWM02 D12	PWM02 D11	PWM02 D10	PWM02 D9	PWM0 2D8	0000 000
SFR/A 4	PWM03 DL	PWM03 占空比 设置寄存器低 位	PWM03 D7	PWM03 D6	PWM03 D5	PWM03 D4	PWM03 D3	PWM03 D2	PWM03 D1	PWM0 3D0	0000 000
SFR/A 5	PWM03 DH	PWM03 占空比 设置寄存器高 位	PWM03 D15	PWM03 D14	PWM03 D13	PWM03 D12	PWM03 D11	PWM03 D10	PWM03 D9	PWM0 3D8	0000 000
SFR/A 6	PWM1LL	PWM1 低电平 设置寄存器低 位	PWM1L 7	PWM1L 6	PWM1L 5	PWM1L 4	PWM1L 3	PWM1L 2	PWM1L 1	PWM1 L0	0000 000
SFR/A 7	PWM1L H	PWM1 低电平 设置寄存器高 位	PWM1L 15	PWM1L 14	PWM1L 13	PWM1L 12	PWM1L 11	PWM1L 10	PWM1L 9	PWM1 L8	0000 000
SFR/A A	PWM1H L	PWM1 高电平 设置寄存器低 位	PWM1H 7	PWM1H 6	PWM1H 5	PWM1H 4	PWM1H 3	PWM1H 2	PWM1H 1	PWM1 H0	0000 000
SFR/A B	PWM1H H	PWM1 高电平 设置寄存器高 位	PWM1H 15	PWM1H 14	PWM1H 13	PWM1H 12	PWM1H 11	PWM1H 10	PWM1H 9	PWM1 H8	0000 000
SFR/A C	PWM2LL	PWM2 低电平 设置寄存器低 位	PWM2L 7	PWM2L 6	PWM2L 5	PWM2L 4	PWM2L 3	PWM2L 2	PWM2L 1	PWM2 L0	0000 000
SFR/A D	PWM2L H	PWM2 低电平 设置寄存器高 位	PWM2L 15	PWM2L 14	PWM2L 13	PWM2L 12	PWM2L 11	PWM2L 10	PWM2L 9	PWM2 L8	0000 000
SFR/A E	PWM2H L	PWM2 高电平 设置寄存器低 位	PWM2H 7	PWM2H 6	PWM2H 5	PWM2H 4	PWM2H 3	PWM2H 2	PWM2H 1	PWM2 H0	0000 000
SFR/A F	PWM2H H	PWM2 高电平 设置寄存器高 位	PWM2H 15	PWM2H 14	PWM2H 13	PWM2H 12	PWM2H 11	PWM2H 10	PWM2H 9	PWM2 H8	0000 000

8.3.1 PWM 控制寄存器 (PWMCr, 0x97/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCr	-	-	PWM03DS	PWM02DS	PWM01DS	PWM2EN	PWM1EN	PWM0EN
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0

BIT[5] PWM03DS – PWM03 通道占空比选择
 0: 选择本通道占空比寄存器 (PWM03D[H:L]);
 1: 选择通道 0 占空比寄存器相同 (PWM00D[H:L])。

BIT[4] PWM02DS – PWM02 通道占空比选择



- 0: 选择本通道占空比寄存器 (PWM02D[H:L]);
1: 选择通道 0 占空比寄存器相同 (PWM00D[H:L])。
- BIT[3] PWM01DS – PWM01 通道占空比选择
0: 选择本通道占空比寄存器 (PWM01D[H:L]);
1: 选择通道 0 占空比寄存器相同 (PWM00D[H:L])。
- BIT[2] PWM2EN – PWM2 使能位
0: 关闭 PWM2 模块, 关闭后 PWM 停止计数, 输出也将停止;
1: 打开 PWM2 模块
- BIT[1] PWM1EN – PWM1 使能位
0: 关闭 PWM1 模块, 关闭后 PWM 停止计数, 输出也将停止;
1: 打开 PWM1 模块
- BIT[0] PWM0EN – PWM0 使能位
0: 关闭 PWM0 模块, 关闭后 PWM 停止计数, 输出也将停止;
1: 打开 PWM0 模块

8.3.2 PWM0 控制寄存器 (PWM0CR,0x99/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0CR	PWM03S	PWM02S	PWM01S	PWM00S	PWM03OE	PWM02OE	PWM01OE	PWM00OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- BIT[7] PWM03S– PWM03 通道极性选择
0: 占空比区间, 输出高;
1: 占空比区间, 输出低。
- BIT[6] PWM02S– PWM02 通道极性选择
0: 占空比区间, 输出高;
1: 占空比区间, 输出低。
- BIT[5] PWM01S– PWM01 通道极性选择
0: 占空比区间, 输出高;
1: 占空比区间, 输出低。
- BIT[4] PWM00S– PWM00 通道极性选择
0: 占空比区间, 输出高;
1: 占空比区间, 输出低。
- BIT[3] PWM03OE– PWM03 通道输出使能
0: PWM03 输出关闭;
1: PWM03 输出使能;
- BIT[2] PWM02OE– PWM02 通道输出使能
0: PWM02 输出关闭;
1: PWM02 输出使能;
- BIT[1] PWM01OE– PWM01 通道输出使能
0: PWM01 输出关闭;



1: PWM01 输出使能;
 BIT[0] PWM00OE- PWM00 通道输出使能
 0: PWM00 输出关闭;
 1: PWM00 输出使能;

8.3.3 PWM0 周期设置寄存器低位 (PWM0PL,0x9A/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PL	PWM0P7	PWM0P6	PWM0P5	PWM0P4	PWM0P3	PWM0P2	PWM0P1	PWM0P0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM0P[7:0] – 设置 PWM0 的周期低 8 位。

8.3.4 PWM0 周期设置寄存器高位 (PWM0PH,0x9B/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PH	PWM0P15	PWM0P14	PWM0P13	PWM0P12	PWM0P11	PWM0P10	PWM0P9	PWM0P8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM0P[15:8] – 设置 PWM0 的周期高 8 位。

注 1: 在 PWM0 配置时, 必须先设置 PWM0EN 使能, 再设置周期和占空比寄存器。

注 2: 设置周期寄存器, 必须先低 8 位, 再写入高 8 位

8.3.5 PWM00 占空比设置寄存器低位 (PWM00DL,0x9C/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM00DL	PWM00D7	PWM00D6	PWM00D5	PWM00D4	PWM00D3	PWM00D2	PWM00D1	PWM00D0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM00D [7:0] – 设置 PWM00 通道的占空比低 8 位。

8.3.6 PWM00 占空比设置寄存器高位 (PWM00DH,0x9D/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM00DH	PWM00D15	PWM00D14	PWM00D13	PWM00D12	PWM00D11	PWM00D10	PWM00D9	PWM00D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM00D [15:8] – 设置 PWM00 通道的占空比高 8 位。

注 1: 在 PWM0 配置时, 必须先设置 PWM0EN 使能, 再设置周期和占空比寄存器。

注 2: 设置周期或占空比寄存器, 必须先低 8 位, 再写入高 8 位

8.3.7 PWM01 占空比设置寄存器低位 (PWM01DL,0x9E/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM01DL	PWM01D7	PWM01D6	PWM01D5	PWM01D4	PWM01D3	PWM01D2	PWM01D1	PWM01D0
R/W								



复位值	0	0	0	0	0	0	0	0
-----	---	---	---	---	---	---	---	---

BIT[7:0] PWM01D [7:0] – 设置 PWM01 通道的占空比低 8 位。

8.3.8 PWM01 占空比设置寄存器高位 (PWM01DH,0x9F/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM01DH	PWM01D1 5	PWM01D1 4	PWM01D1 3	PWM01D1 2	PWM01D1 1	PWM01D1 0	PWM01D9	PWM01D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM01D [15:8] – 设置 PWM01 通道的占空比高 8 位。

注 1: 在 PWM0 配置时, 必须先设置 PWM0EN 使能, 再设置周期和占空比寄存器。

注 2: 设置周期或占空比寄存器, 必须先低 8 位, 再写入高 8 位

8.3.9 PWM02 占空比设置寄存器低位 (PWM02DL,0xA2/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM02DL	PWM02D7	PWM02D6	PWM02D5	PWM02D4	PWM02D3	PWM02D2	PWM02D1	PWM02D0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM02D [7:0] – 设置 PWM02 通道的占空比低 8 位。

8.3.10 PWM02 占空比设置寄存器高位 (PWM02DH,0xA3/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM02DH	PWM02D1 5	PWM02D1 4	PWM02D1 3	PWM02D1 2	PWM02D1 1	PWM02D1 0	PWM02D9	PWM02D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM02D [15:8] – 设置 PWM02 通道的占空比高 8 位。

注 1: 在 PWM0 配置时, 必须先设置 PWM0EN 使能, 再设置周期和占空比寄存器。

注 2: 设置周期或占空比寄存器, 必须先低 8 位, 再写入高 8 位

8.3.11 PWM03 占空比设置寄存器低位 (PWM03DL,0xA4/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM03DL	PWM03D7	PWM03D6	PWM03D5	PWM03D4	PWM03D3	PWM03D2	PWM03D1	PWM03D0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM03D [7:0] – 设置 PWM03 通道的占空比低 8 位。

8.3.12 PWM03 占空比设置寄存器高位 (PWM03DH,0xA5/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM03DH	PWM03D1 5	PWM03D1 4	PWM03D1 3	PWM03D1 2	PWM03D1 1	PWM03D1 0	PWM03D9	PWM03D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0



BIT[7:0] PWM03D [15:8] – 设置 PWM03 通道的占空比高 8 位。

注 1: 在 PWM0 配置时, 必须先设置 PWM0EN 使能, 再设置周期和占空比寄存器。

注 2: 设置周期或占空比寄存器, 必须先低 8 位, 再写入高 8 位

8.3.13 PWM1 低电平设置寄存器低位 (PWM1LL,0xA6/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1LL	PWM1L7	PWM1L6	PWM1L5	PWM1L4	PWM1L3	PWM1L2	PWM1L1	PWM1L0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM1L [7:0] – 设置 PWM1 低电平长度低 8 位。

8.3.14 PWM1 低电平设置寄存器高位 (PWM1LH,0xA7/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1LH	PWM1L15	PWM1L14	PWM1L13	PWM1L12	PWM1L11	PWM1L10	PWM1L9	PWM1L8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM1L [15:8] – 设置 PWM1 低电平长度低高 8 位。

注 1: 在 PWM1/2 配置时, 必须先设置 PWM1/2EN 使能, 再设置高或低电平寄存器。

注 2: 设置高或低电平寄存器, 必须先低 8 位, 再写入高 8 位

8.3.15 PWM1 高电平设置寄存器低位 (PWM1HL,0xAA/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1HL	PWM1H7	PWM1H6	PWM1H5	PWM1H4	PWM1H3	PWM1H2	PWM1H1	PWM1H0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM1H [7:0] – 设置 PWM1 高电平长度低 8 位。

8.3.16 PWM1 高电平设置寄存器高位 (PWM1HH,0xAB/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1HH	PWM1H15	PWM1H14	PWM1H13	PWM1H12	PWM1H11	PWM1H10	PWM1H9	PWM1H8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM1H [15:8] – 设置 PWM1 高电平长度低高 8 位。

注 1: 在 PWM1/2 配置时, 必须先设置 PWM1/2EN 使能, 再设置高或低电平寄存器。

注 2: 设置高或低电平寄存器, 必须先低 8 位, 再写入高 8 位

8.3.17 PWM2 低电平设置寄存器低位 (PWM2LL,0xAC/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2LL	PWM2L7	PWM2L6	PWM2L5	PWM2L4	PWM2L3	PWM2L2	PWM2L1	PWM2L0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM2L [7:0] – 设置 PWM2 低电平长度低 8 位。

**8.3.18 PWM2 低电平设置寄存器高位 (PWM2LH,0xAD/SFR)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2LH	PWM2L15	PWM2L14	PWM2L13	PWM2L12	PWM2L11	PWM2L10	PWM2L9	PWM2L8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM2L [15:8] - 设置 PWM2 低电平长度低高 8 位。

注 1: 在 PWM1/2 配置时, 必须先设置 PWM1/2EN 使能, 再设置高或低电平寄存器。

注 2: 设置高或低电平寄存器, 必须先低 8 位, 再写入高 8 位

8.3.19 PWM2 高电平设置寄存器低位 (PWM2HL,0xAE/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2HL	PWM2H7	PWM2H6	PWM2H5	PWM2H4	PWM2H3	PWM2H2	PWM2H1	PWM2H0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM2H [7:0] - 设置 PWM2 高电平长度低 8 位。

8.3.20 PWM2 高电平设置寄存器高位 (PWM2HH,0xAF/SFR)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2HH	PWM2H15	PWM2H14	PWM2H13	PWM2H12	PWM2H11	PWM2H10	PWM2H9	PWM2H8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] PWM2H [15:8] - 设置 PWM2 高电平长度低高 8 位。

注 1: 在 PWM1/2 配置时, 必须先设置 PWM1/2EN 使能, 再设置高或低电平寄存器。

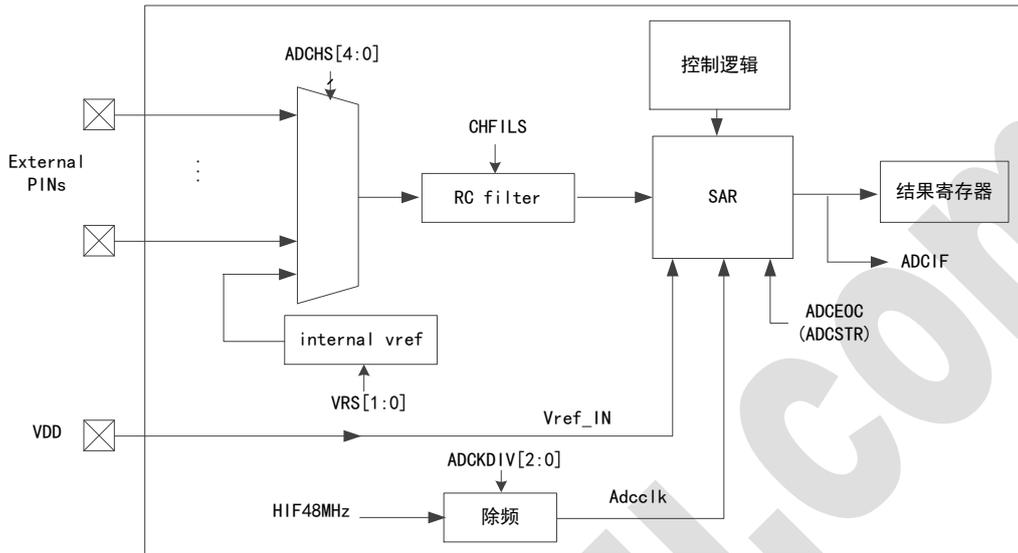
注 2: 设置高或低电平寄存器, 必须先低 8 位, 再写入高 8 位

9 ADC

9.1 概述

ADC 模块为 12-bit 逐次逼近型(SAR) ADC，具有 12 位分辨率，支持单次转换模式，采样时间和转换速度可配置。最多支持 26 个外部通道。电压参考与 VDD 相连。

ADC 模块框图



9.2 特性

- ◇ 多达 26 个外部输入通道
- ◇ 单端 12 位分辨率
- ◇ 支持转换速率最高 440Ksps (12 位模式下)
- ◇ 参考源固定为 VDD

9.3 输入通道选择

ADC 内建一个模拟多路复用器，可以选择外部引脚通道、内部参考通道。配置 `ADCMUX` 寄存器选择 ADC 输入通道。

多路通道选择

ADCHS[4:0]	模拟通道名
0000~11001	AIN0~AIN25
11010	AIN26(vref_INT)
其他	保留

9.4 ADC 转换时序

ADC 总的转换时间 = 采样时间 + 采样延迟 + 采样完成到转换开始的间隔时间 + SAR 转换时间。

采样时间 = $(SPT[7:0] + 1) * 4 * T_{adcclk}$

采样延迟 = $(2^{SPDLY[1:0]}) * T_{adcclk}$

采样完成到转换开始的间隔时间 = $(TSP2CV[4:0] + 3) * T_{adcclk}$ ，间隔时间最小 4 个 `adcclk`。



SAR 转换时间 = 14 * Tadcclk

ADC 总的转换时间最小为：4 + 0 + 4 + 14 = 22 adcclk。

注 1：ADC 输入信号加 RC 滤波后的建立时间必须大于等于 2 倍的 ADC 转换时间。

内部参考源连接至 ADC 的通道 26 (AIN26)，出厂会进行校准，校准后的电压值会写入 info 区。用户可以通过以下公式计算，增加测量精度

$$VAINx = (AINx_Data / AIN26_Data) * Vrefin_adj$$

其中，Vrefin_adj 为校准值；AINx_Data 为待检测通道 adc 转换值；AIN26_Data 为通道 26 的 adc 转换值。

9.1 ADC 中断

中断标志位，中断使能及中断优先级，参见中断章节

9.2 ADC 相关寄存器

ADC 寄存器汇总表

地址 (SFRn /H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)
SFR0/B9	ADCCLK	ADC 时钟控制寄存器	-	-	-	-	ACKDIV 1	ACKDIV 1	DCKDIV 1	DCKDIV 0	---- 0000
SFR0/BA	ADCCR0	ADC 控制寄存器 0	-	-	ADCHS 4	ADCHS 3	ADCHS 2	ADCHS 1	ADCHS 0	ADEOC	--00 0000
SFR0/BB	ADCSPT	ADC 采样时间设置寄存器	SPT7	SPT6	SPT5	SPT4	SPT3	SPT2	SPT1	SPT0	0000 0000
SFR0/BC	ADCCR1	ADC 控制寄存器 1	TSP2C V4	TSP2C V3	TSP2C V2	TSP2C V1	TSP2C V0	SP2CP	SPDLY1	SPDLY0	0000 0000
SFR0/BD	ADCCR2	ADC 控制寄存器 2	-	CHFILS	VRS1	VRS0	IOSS1	IOSS0	OSCTR L1	OSCTR L0	-000 0010
SFR0/BE	ADCDRL	ADC 转换结果低位寄存器	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	xxxx xxxx
SFR0/BF	ADCDRH	ADC 转换结果高位寄存器	-	-	-	-	ADR11	ADR10	ADR9	ADR8	---- xxxx
SFR0/DC	ADCIOS0	ADC 端口复用选择寄存器 0	AIN7S	AIN6S	AIN5S	AIN4S	AIN3S	AIN2S	AIN1S	AIN0S	0000 0000
SFR0/DD	ADCIOS1	ADC 端口复用选择寄存器 1	AIN15S	AIN14S	AIN13S	AIN12S	AIN11S	AIN10S	AIN9S	AIN8S	0000 0000
SFR0/DE	ADCIOS2	ADC 端口复用选择寄存器 2	AIN23S	AIN22S	AIN21S	AIN20S	AIN19S	AIN18S	AIN17S	AIN16S	0000 0000
SFR0/DF	ADCIOS3	ADC 端口复用选择寄存器 3	-	-	-	-	-	-	AIN25S	AIN24S	---- --00
SFR0/F8	PWRACR	模拟模块使能寄存器	-	-	-	LVDEN	BOREN	OSC32 KEN	TKEN	ADCEN	---1 1111

**9.2.1 ADC 时钟控制寄存器 (ADCCLK,0xB9/SFR0)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCCLK	-	-	-	-	ACKDIV1	ACKDIV1	DCKDIV1	DCKDIV0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3:2] ACKDIV[1:0] – ADC 模拟输入时钟选择

ACKDIV[1:0]	AD 时钟
00	12MHz
01	8MHz
10	4MHz
11	2MHz

BIT[2:0] DCKDIV[1:0] – ADC 数字输入时钟选择

DCKDIV[1:0]	AD 时钟
00	8MHz
01	6MHz
10	4MHz
11	3MHz

注: ADC 模拟输入时钟必须大于 ADC 数字输入时钟, 否则将导致 ADC 转换结果出错。

9.2.2 ADC 控制寄存器 0 (ADCCR0,0xBA/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCCR0	-	-	ADCHS4	ADCHS3	ADCHS2	ADCHS1	ADCHS0	ADEOC
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	1	1	0	0

BIT[5:1] ADCHS[3:0] – ADC 模拟通道选择

ADCHS[4:0]	模拟通道名
0000~11001	AIN0~AIN25
11010	AIN26(vref_INT)
其他	保留

BIT[0] ADEOC – ADC 启动位及转换结束标志位

0: AD 转换已结束, 同时作为 AD 转换完成的查询标志。

1: AD 启动转换结束后硬件自动清 0; 其他情况表示 AD 正在转换中

注: 该位写入 1 时, 启动一次 ADC 转换; 当未转换完成时, 不允许配置 ADEOC。

9.2.1 ADC 采样时间设置寄存器 (ADCSPT,0xBB/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCSPT	SPT7	SPT6	SPT5	SPT4	SPT3	SPT2	SPT1	SPT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0



BIT[7:0] SPT[7:0] – 采样时间配置
 采样时间 = (SPT[7:0] + 1) * 4 * Tadcclk

9.2.2 ADC 控制寄存器 1 (ADCCR1,0xBC/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCCR1	TSP2CV4	TSP2CV3	TSP2CV2	TSP2CV1	TSP2CV0	SP2CP	SPDLY1	SPDLY0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:3] TSP2CV[4:0] – 采样结束到转换开始的间隔时间 (sample to convert)
 间隔时间 = (TSP2CV[4:0] + 3) * Tadcclk, 间隔时间最小 4 个 adcclk。

BIT[2] SP2CP – 采样结束到比较时序间隔时间
 0: 不间隔
 1: 间隔 1 adcclk

BIT[1:0] SPDLY[1:0] – 采样延迟时间选择

SPDLY[1:0]	采样延迟时间
00	0 个 adcclk
01	2
10	4
11	8

9.2.3 ADC 控制寄存器 2 (ADCCR2,0xBD/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCCR2	-	CHFILS	VRS1	VRS0	IOSS1	IOSS0	OSCTRL1	OSCTRL0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	0	0	0	0	0	1	0

BIT[6] CHFILS – ADC 输入信号滤波选择
 0: 关闭 RC 滤波
 1: 开启 RC 滤波

BIT[6:4] VRS[1:0] – 内部参考电压选择 (连接 AIN26)

VRS[1:0]	内部参考电压选择 (连接 AIN26)
01	2.253V
其他	保留

注: 芯片 info 区保存校准电压值, 校准电压={CBYTE[0xC1C6],CBYTE[0xC1C7]}mV。

BIT[3:2] IOSS[1:0] – ADC 偏置电流选择

IOSS0	比较器偏置电流
0	Level0
1	Level1
IOSS1	运放偏置电流
0	Level0



IOSS0	比较器偏置电流
1	Level1

注: 建议配置为 11b, 都选择 level1。

BIT[1:0] OSCTRL[1:0] – ADC 比较器失调消除控制
 00/01: 模式 1
 10: 模式 2
 11: 模式 3

注: 建议配置为 11b, 都选择模式 3。

9.2.4 ADC 转换结果低位寄存器 (ADCDRL,0xBE/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDRL	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
R/W	R	R	R	R	R	R	R	R
复位值	X	X	X	X	X	X	X	X

BIT[7:0] ADR[7:0] – ADC 转换结果低 8 位

9.2.5 ADC 转换结果高位寄存器 (ADCDRH,0xBF/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDRH	-	-	-	-	ADR11	ADR10	ADR9	ADR8
R/W	-	-	-	-	R	R	R	R
复位值	-	-	-	-	X	X	X	X

BIT[3:0] ADR[11:8] – ADC 转换结果高 4 位

9.2.6 ADC 端口复用选择寄存器 0 (ADCIOS0,0xDC/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCIOS0	AIN7S	AIN6S	AIN5S	AIN4S	AIN3S	AIN2S	AIN1S	AIN0S
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] AINxS(x=7~0) – ADC 端口复用选择
 0: 不选择 ADC 输入功能
 1: 选择 ADC 输入功能

9.2.7 ADC 端口复用选择寄存器 1 (ADCIOS1,0xDD/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCIOS1	AIN15S	AIN14S	AIN13S	AIN12S	AIN11S	AIN10S	AIN9S	AIN8S
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] AINxS(x=15~8) – ADC 端口复用选择
 0: 不选择 ADC 输入功能
 1: 选择 ADC 输入功能

9.2.8 ADC 端口复用选择寄存器 2 (ADCIOS2,0xDE/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	-------	-------	-------	-------	-------	-------	-------	-------



ADCIOS2	AIN23S	AIN22S	AIN21S	AIN20S	AIN19S	AIN18S	AIN17S	AIN16S
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] AIN_x(x=23~16) – ADC 端口复用选择

0: 不选择 ADC 输入功能

1: 选择 ADC 输入功能

9.2.9 ADC 端口复用选择寄存器 3 (ADCIOS3,0xDF/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCIOS3	-	-	-	-	-	-	AIN25S	AIN24S
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1:0] AIN_x(x=25~24) – ADC 端口复用选择

0: 不选择 ADC 输入功能

1: 选择 ADC 输入功能

9.2.10 模拟模块使能寄存器 (PWRACR,0xF8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWRACR	-	-	-	LVDEN	BOREN	OSC32KEN	TKEN	ADCEN
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	1	1	1	1	1

BIT[0] ADCEN – ADC 模块使能位

0: 使能;

1: 关闭;



10 IIC接口

10.1 概述

芯片内置 IIC 接口，仅支持硬件从机功能，具有以下特点：

- ◇ 传输速率：100Kbps(Fast-mode)、400Kbps(Standard-mode)；
- ◇ 支持 7 位地址寻址；
- ◇ 具有延长时钟低电平的功能；
- ◇ 在 STOP 停止模式下可以通过 IIC 中断唤醒核；
- ◇ 检测写冲突和缓存 BUF 溢出异常的情况。

主机和从机之间由 SCL(串行时钟)线、SDA(串行数据)线连接，IIC 通信模式时，支持 2 组 IIC 口可选，被选中一组 IIC 口自动为开漏输出模式，对应的 SCL、SDA 端口必须接上拉电阻(建议 4.7K~10K)。

10.2 IIC 数据传输

总线空闲时，数据线 SDA 和时钟线 SCL 均为高电平。

起始条件 (START condition)：SCL 线为高电平期间，SDA 线由高电平变为低电平的下降沿表示起始条件 START。

停止条件 (STOP condition)：SCL 线为高电平期间，SDA 线由低电平变为高电平的上升沿表示停止条件 STOP。

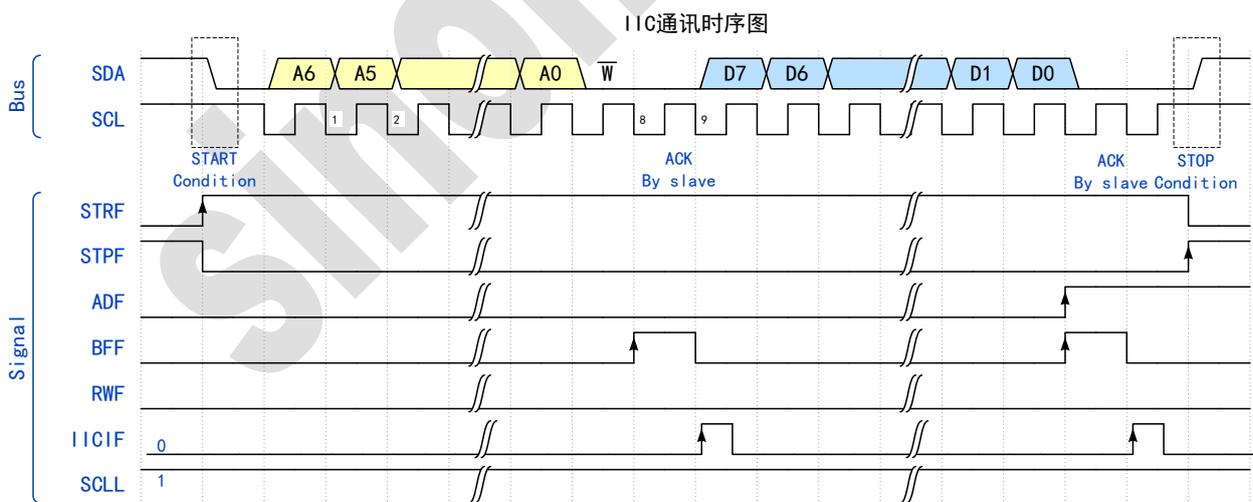
数据传输时，SCL 线为高电平期间，SDA 线上电平必须保持稳定，其高电平表示数据“1”、低电平表示数据“0”，只有在 SCL 线为低电平期间，SDA 线上电平才允许变化。

一帧数据传输以一个起始条件 START 开始，以一个停止条件 STOP 或重复起始条件 START 终止，一个重复 START 条件也是下一帧数据传输的开始 (需从机支持重复 START 信号)，期间总线不被释放。

每一帧数据传输时需先由主机发送包括 7 位从机地址和 1 位读/写命令的控制字节，再由主机向从机发送或接收从机数据。每个字节传输的时钟为 9 位，前 8 位时钟传输控制字节或数据字节 (MSB 最高位最先传输)，第 9 位时钟为应答时钟，此时 SDA 线的电平为应答信号，低电平表示有应答 (ACK)，高电平表示非应答 (NACK)。

10.2.1 从机接收模式 (主机写数据)

IIC 主机写数据时序图(WRSCLL=0,关闭中断拉低 SCL 功能)



MS23020901

主机以起始条件 (START) 开始，发送包括 7 位从机地址和 1 位读/写命令的控制字节，从机检测到起始条件置起 STRF 标志，接收到地址字节后硬件自动与预设的从机地址进行匹配，若匹配成功在第 8 个 SCL 时钟的下降沿后置起

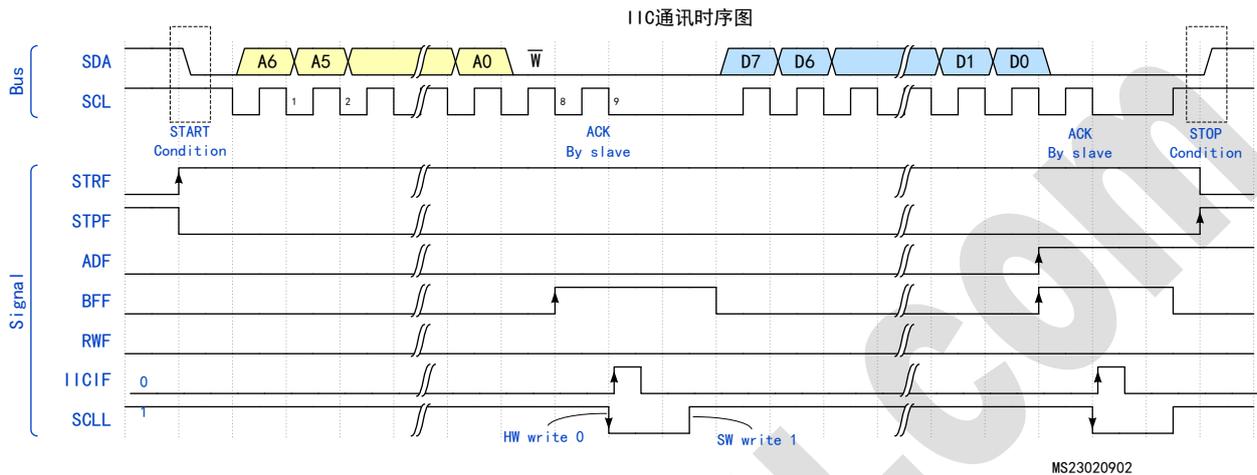


BFF 标志（指示 IICDR 满）。在第 9 个 SCL 时钟下降沿后产生 IIC 中断标志 IICIF，执行中断子程序需要读取 IICDR 寄存器，读操作会清零 BFF 标志。

主机继续发送第 2 个字节（数据字节），在第 8 个 SCL 时钟的下降沿后再次置起 BFF 标志（指示 IICDR 满），同时 ADF 标志置位（指示当前接收字节为数据字节，0 表示地址字节）；在第 9 个 SCL 时钟下降沿后继续产生 IIC 中断标志 IICIF。中断操作同第 1 个字节。

主机发送完所有的数据后，发送停止条件结束通信传输，IIC 总线释放，总线进入空闲状态。停止条件不影响 ADF 标志。

IIC 主机写数据时序图(WRSCLL=1,开启中断拉低 SCL 功能)



主机以起始条件（START）开始，发送包括 7 位从机地址和 1 位读/写命令的控制字节，从机检测到起始条件置起 STRF 标志，接收到地址字节后硬件自动与预设的从机地址进行匹配，若匹配成功在第 8 个 SCL 时钟的下降沿后置起 BFF 标志（指示 IICDR 满）。在第 9 个 SCL 时钟下降沿后产生 IIC 中断标志 IICIF，在第 9 个 SCL 时钟下降沿 SCLL 会被硬件自动清零，在此期间，从机处理数据或执行中断子程序，读取 IICDR 寄存器，会清零 BFF 标志；用户软件置位 SCLL 位，释放 SCL 时钟线。

主机检测到 SCL 被释放后继续发送第 2 个字节（数据字节），在第 8 个 SCL 时钟的下降沿后再次置起 BFF 标志（指示 IICDR 满），同时 ADF 标志置位（指示当前接收字节为数据字节，0 表示地址字节）；在第 9 个 SCL 时钟下降沿后继续产生 IIC 中断标志 IICIF。中断操作同第 1 个字节。

主机发送完所有的数据后，发送停止条件结束通信传输，IIC 总线释放，总线进入空闲状态。停止条件不影响 ADF 标志。

注：在主机发送最后一笔数据时，软件需设置 WRSCLL=0，关闭拉低 SCL 时钟线的功能。

WRSCLL 功能

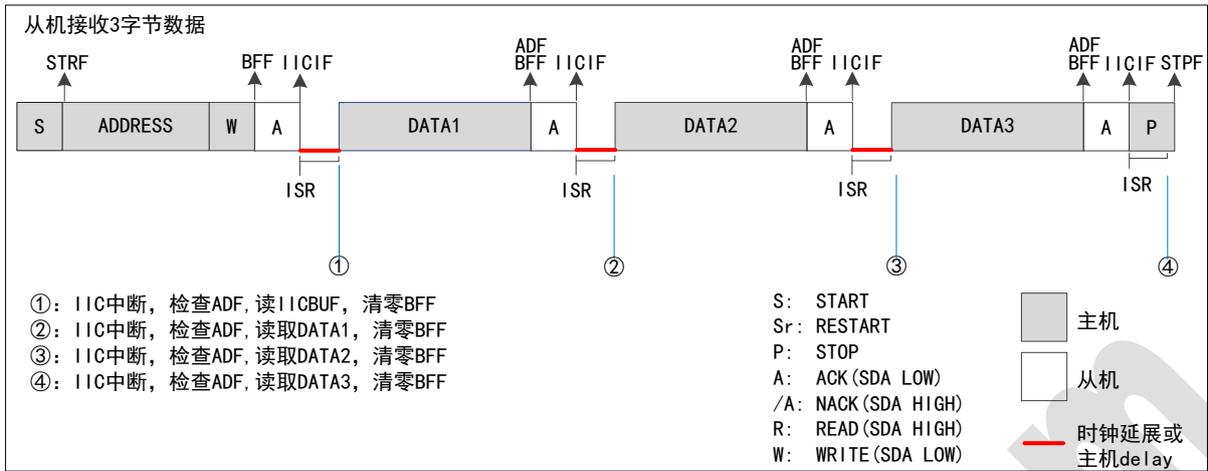
WRSCLL 是写拉低线控制位，为 1 时使能中断拉低时钟线的功能，为 0 时不使能中断拉低时钟线的功能。在 RWF=0 的情况下，可根据主机的通信速率和处理中断的时间来决定是否拉低时钟线，即配置 WRSCLL 位。

若 CPU 能在 8 个 IIC 时钟内能处理完中断并退出中断时，配置 WRSCLL =0 关闭中断拉低时钟线的功能，此时在中断到来时不会硬件自动拉低时钟线。若 CPU 不能在 8 个 IIC 时钟内处理完中断并退出时，可以配置 WRSCLL=1 使能拉低时钟线的功能，此时在中断到来时硬件自动拉低时钟线，迫使主机进入等待状态，当写入 IICDR 中的数据被 CPU 读出后，软件置位 SCLL，释放 SCL 时钟线。

注：当需要拉低时钟线，即 WRSCLL/RDSCLL=1，在发送和接收最后一个 Byte 数据之前，软件应该关闭拉低时钟线的功能，即 WRSCLL/RDSCLL=0，在完成发送和接收最后一个 Byte 数据之后，软件应该打开写拉低时钟线的功能。此操作根据实际应用需求自行调控。

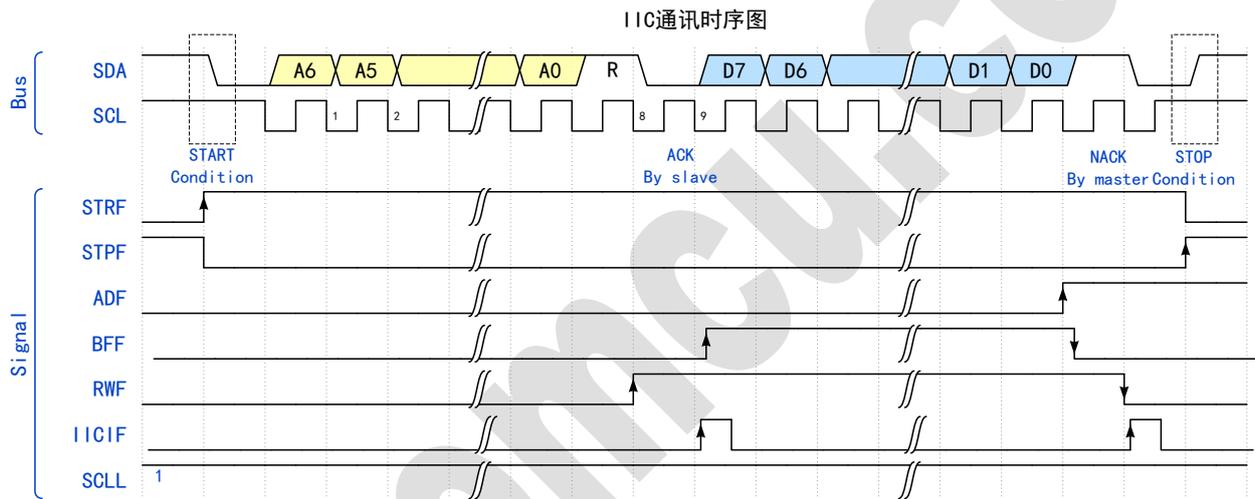


传输总线图（从机发接收）



10.2.2 从机发送模式（主机读数据）

IIC 主机读数据时序图(RDSCLL=0,关闭中断拉低 SCL 功能)



MS23021001

主机以起始条件（START）开始，发送包括 7 位从机地址和 1 位读/写命令的控制字节，从机检测到起始条件置起 STRF 标志，接收到地址字节后硬件自动与预设的从机地址进行匹配，若匹配成功在第 8 个 SCL 时钟的下降沿后置起 RWF 标志（读写状态标志），若地址不匹配 RWF 不会置位。在第 9 个 SCL 时钟下降沿后产生 IIC 中断标志 IICIF，IICBUF 的数据加载至 IICDR 中，BFF 标志置起（指示 IICDR 满），同时将待发送的数据最高位（MSB）发送至总线上。

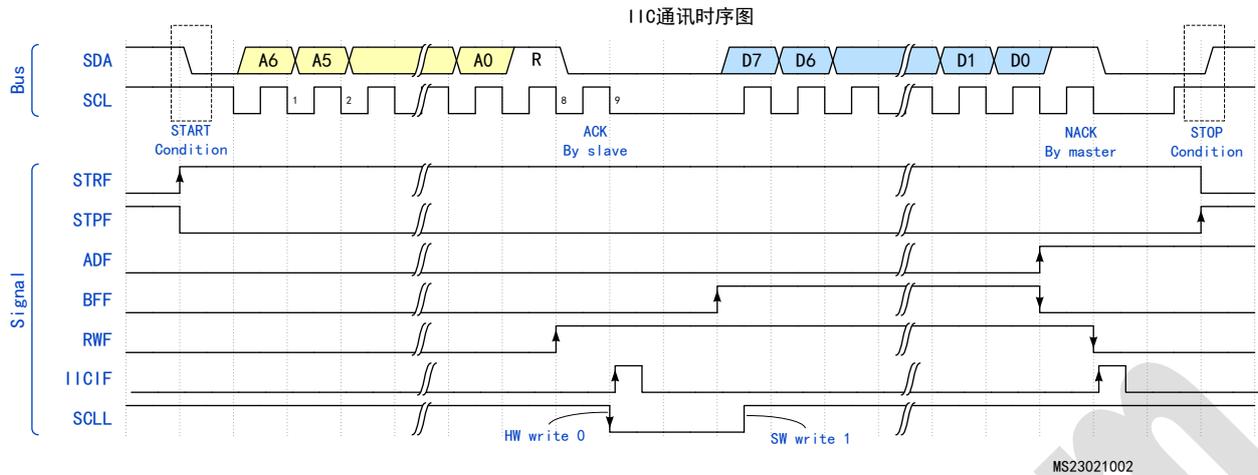
从机继续发送数据字节，在第 8 个 SCL 时钟的下降沿后清零 BFF 标志（指示 IICDR 非满），同时 ADF 标志置位（指示当前发送字节为数据字节，0 表示地址字节）；在第 9 个 SCL 时钟下降沿后继续产生 IIC 中断标志 IICIF。

若主机需要继续读取数据，则主机回复应答 ACK，继续通信传输；若主机完成数据接收，则回复 NACK，发送停止条件结束通信传输，IIC 总线释放，总线进入空闲状态。当检测到 NACK 信号，从机清零 RWF 标志。停止条件不影响 ADF 标志。

注：当主机发送 NACK 时，从机的 SCLL 位不会被自动清零。



IIC 主机读数据时序图(RDSCLL=1,开启中断拉低 SCL 功能)



主机以起始条件 (START) 开始, 发送包括 7 位从机地址和 1 位读/写命令的控制字节, 从机检测到起始条件置起 STRF 标志, 接收到地址字节后硬件自动与预设的从机地址进行匹配, 若匹配成功在第 8 个 SCL 时钟的下降沿后置起 RWF 标志 (读写状态标志), 若地址不匹配 RWF 不会置位。在第 9 个 SCL 时钟下降沿后产生 IIC 中断标志 IICIF, 在第 9 个 SCL 时钟下降沿 SCLL 会被硬件自动清零, 在此期间, 从机处理数据或准备数据, 并将准备好的数据写入 IICDR 寄存器, BFF 标志置起 (指示 IICDR 满); 用户软件置位 SCLL 位, 释放 SCL 时钟线。

主机检测到 SCL 被释放后继续发送 SCL 时钟, 读取从机发出的数据字节, 在第 8 个 SCL 时钟的下降沿后再次置起 BFF 标志 (指示 IICDR 满), 同时 ADF 标志置位 (指示当前接收字节为数据字节, 0 表示地址字节); 在第 9 个 SCL 时钟下降沿后继续产生 IIC 中断标志 IICIF。

若主机需要继续读取数据, 则主机回复应答 ACK, 继续通信传输; 若主机完成数据接收, 则回复 NACK, 发送停止条件结束通信传输, IIC 总线释放, 总线进入空闲状态。当检测到 NACK 信号, 从机清零 RWF 标志。停止条件不影响 ADF 标志。

注: 当主机发送 NACK 时, 从机的 SCLL 位不会被自动清零。

RDSCLL 功能

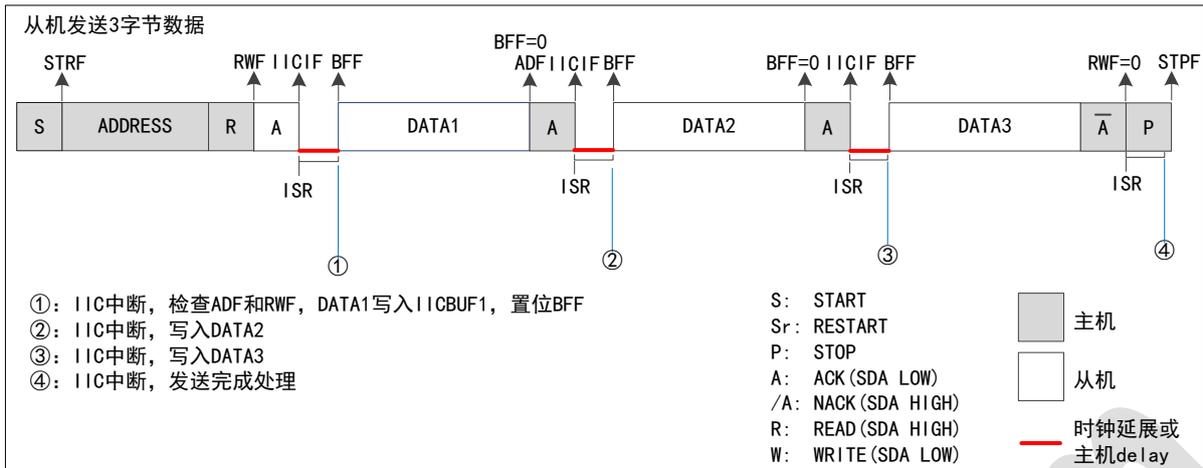
RDSCLL 是读拉低线控制位, 为 1 时使能中断拉低时钟线的功能, 为 0 时不使能中断拉低时钟线的功能。当 RDSCLL=1 时, 从机在接收到地址字节或者发送完一个数据字节并且主机发送 ACK 时, SCLL 会被硬件自动拉低, 迫使主机进入等待状态。从机要释放 IIC 时钟, 需要下面两个操作: 先将把要发送的数据写入 IICDR 中, 再软件置位 SCLL。从而确保释放 SCL 时钟前, IICDR 已被写入将要发送的数据。

当 RDSCLL=0 时, 从机在接收到地址字节或者发送完一个数据字节并且主机发送 ACK 时, 从机会将 IICBUF 寄存器预存数据立即压载到发送数据寄存器 IICDR 中, 然后送到数据线上。为保证每次传送的数据正确, 在中断服务程序写入 IICBUF 下一个要发送的数据, 主机接收的数据为上一次中断处理好的数据, 第一次接收数据需要初始化中准备。

注: 当需要拉低时钟线, 即 $WRSCLL/RDSCLL=1$, 在发送和接收最后一个 Byte 数据之前, 软件应该关闭拉低时钟线的功能, 即 $WRSCLL/RDSCLL=0$, 在完成发送和接收最后一个 Byte 数据之后, 软件应该打开写拉低时钟线的功能。此操作根据实际应用需求自行调控。



传输总线图 (从机发送)



10.3 IIC 相关寄存器

IIC 寄存器汇总表

地址 (SFRn/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)
SFR0/E8	IICSTA	IIC 状态寄存器	STRF	STPF	RWF	ADF	BFF	ACKF	WCOLF	RECOV	0100 0100
SFR0/E9	IICCR	IIC 控制寄存器	-	-	RST	RDSCLL	WRSCLL	SCLL	SPD	EN	0001 0000
SFR0/EA	IICADR	IIC 地址寄存器	A6	A5	A4	A3	A2	A1	A0	-	0000 0000
SFR0/E1	IICDR	IIC 数据寄存器	D7	D6	D5	D4	D3	D2	D1	D0	0000 0000
SFR0/E2	IICBUF	IIC 数据缓存寄存器	BUF7	BUF6	BUF5	BUF4	BUF3	BUF2	BUF1	BUF0	0000 0000
SFR0/EB	PERIPH CR	外设端口控制寄存器	IIC_IOS	IIC_AF	IIC_DF	UART0_IOS1	UART0_IOS0	-	SPI_EN	UART1_EN	0100 0000

10.3.1 IIC 状态寄存器(IICSTA, SFR0/E8)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICSTA	STRF	STPF	RWF	ADF	BFF	ACKF	WCOLF	RECOV
R/W	R	R	R	R	R	R	R/W	R/W
复位值	0	1	0	0	0	1	0	0

BIT[7] STRF- 起始条件标志位
 0: 表示未检测到起始条件;
 1: 表示检测到起始条件;

BIT[6] STPF- 停止条件标志位
 0: 表示未检测到停止条件;



1: 表示检测到停止条件;

注: STPF 置位表示总线处于空闲状态, 当检测到起始条件, 硬件清零此标志位, 表示通信开启。

BIT[5] RWF- 读写命令标志位, 最近一次地址匹配后, 地址字节获得的读/写命令状态

0: 写操作 (主机写入从机);

1: 读操作 (主机读取从机)。

注: 起始条件、停止条件、非应答信号(NACK)都会清零 RWF, 此状态位改变发生在第 9 个 scl 时钟下降沿。

BIT[4] ADF- 地址/数据标志位

0: 最近接收或发送的字节为地址字节;

1: 最近接收或发送的字节为数据字节。

注: 起始条件、停止条件、非应答信号(NACK)都不会影响此状态位, 此状态位改变发生在第 8 个 scl 时钟下降沿。

BIT[3] BFF- 数据寄存器满标志位

接收模式下:

0: 表示接收未完成, 数据寄存器为空;

1: 表示接收完成, 数据寄存器满状态。

注: 当地址匹配且 RWF=0, 在第 8 个 SCL 时钟下降沿后 BFF 置位, 表示接收到数据; 执行中断期间需读取 IICDR, 此操作将清零 BFF 标志, 若不读取 IICDR, 主机继续发送数据, 则会发生接收溢出, 虽然从机依然接收数据并载入 IICDR, 但会发送 NACK 信号 (无效应答)。

发送模式下:

0: 表示发送已完成 (不包括应答位和停止位), 数据寄存器为空;

1: 表示发送正在进行 (不包括应答位和停止位), 数据寄存器还是满状态。

注: 此状态位只能间接置位和清零, 不支持直接操作。

注: 当地址匹配且 RWF=1, 从机接收地址字节后 BFF 不会置位; IICDR 被预载入数据时置位 BFF, 主机发送同步时钟第 8 个 SCK 时钟后 (IICDR 数据被发出), BFF 标志被硬件清零。

BIT[2] ACKF- 应答标志位

0: 表示有效的应答信号 ack;

1: 表示无效的应答信号 Nack;

注: 不管读操作还是写操作, 从机都会在第 9 个 SCL 时钟的上升沿采样数据线 SDA, 记录应答信息, 并清零 (ACK) 或置位 (NACK) 此标志位; 起始条件会清零此标志位。

BIT[1] WCOLF- 写冲突标志位

0: 未发生写冲突;

1: 表示正在发送当前数据时, 新数据试图写入发送数据寄存器, 写入无效;

注: 只有 RWF=1 且 RDSCLL=1、SCLL=0 的情况下, IICDR 寄存器才允许被写入。其他情况被禁止, 若违禁写入 IICDR, 则写入无效, 同时置位 WCOLF 标志, 表示发生了写冲突, 此标志位需要软件清零。

BIT[0] RECOV- 接收溢出标志位

0: 未发生接收溢出;

1: 表示接收数据寄存器的前一个数据还未读出, 又接收到新数据; 新数据无法接收到数据寄存器。

注: 在 IICDR 满状态下 (即 IICDR 存有数据), 接收到新的数据, 则会发生接收溢出, RECOV 标志会置位, 但 IICDR 数据不会更新, 新接收数据会丢失。此状态位需要软件清零, 否则的话会应影响后面的通信过程。只有在 IIC_RW=0, BF=1, 且 CPU 不读取 IICDR 时, 才会出现此情况。

**10.3.2 IIC 控制寄存器 (IICCR, SFR0/E9)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICCR	-	-	RST	RDSCLL	WRSCLL	SCLL	SPD	EN
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	1	0	0	0	0

BIT[5] RST-IIC 模块复位控制位

- 0: IIC 工作正常;
- 1: IIC 发生复位操作;

BIT[4] RDSCLL- 主机读模式, 中断拉低 SCL 时钟线控制

- 0: 关闭;
- 1: 使能;

BIT[3] WRSCLL- 主机写模式, 中断拉低 SCL 时钟线控制

- 0: 关闭;
- 1: 使能;

BIT[2] SCLL-SCL 时钟线控制

- 0: 拉低时钟线 SCL;
- 1: 释放时钟线 SCL;

注: 拉低时钟线功能, 只有在 EN=1 时有效。

BIT[1] SPD-IIC 速度控制, 此位不写 0, 只写 1

- 0: 无效;
- 1: 标准模式 100k;

BIT[0] EN-IIC 使能位

- 0: 关闭;
- 1: 使能;

10.3.3 IIC 地址寄存器 (IICADR, SFR0/EA)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICADR	A6	A5	A4	A3	A2	A1	A0	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:1] A[6:0]- 从机预设地址

10.3.4 IIC 数据寄存器 (IICDR, SFR0/E1)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICDR	D7	D6	D5	D4	D3	D2	D1	D0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] D[7:0]- IIC 发送/接收数据

注 1: 只有 RWF=1 且 RDSCLL=1、SCLL=0 的情况下此寄存器才允许写入。其他情况被禁止, 若违禁写入 IICDR,



则写入无效，同时置位 WCOLF 标志。

注 2：当 RDSCLL=0 时，从机发送的数据为中断信号发生时，从 IICBUF 压载至 IICDR 的值。

注 3：在 IICDR 满状态下（即 IICDR 存有数据），接收到新的数据，则会发生接收溢出，RECOV 标志会置位，但 IICDR 数据不会更新，新接收数据会丢失。

10.3.5 IIC 数据缓存寄存器（IICBUF，SFR0/E2）

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IICBUF	BUF7	BUF6	BUF5	BUF4	BUF3	BUF2	BUF1	BUF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] BUF[7:0]– IIC 发送/接收数据缓存寄存器

注：RDSCLL=0 时，主机读数据模式（从机发送），中断发生后的 2 个时钟后，将 IICBUF 的数据载入到 IICDR 寄存器，作为下次从机发送数据。所以在中断发生前准备好 IICBUF 数据。

10.3.6 外设端口控制寄存器（PERIPHCR，SFR0/EB）

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PERIPHCR	IIC_IOS	IIC_AF	IIC_DF	UART0_IO S1	UART0_IO S0	-	SPI_EN	UART1_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

BIT[7] IIC_IOS– IIC 端口选择控制

0: P30/P31 口选择 IIC 功能；

1: P15/P13 口选择 IIC 功能；

BIT[6] IIC_AF– IIC 端口模拟滤波控制

0: 关闭；

1: 开启；

BIT[5] IIC_DF– IIC 端口数字滤波控制

0: 关闭；

1: 开启；

10.4 应用注意

- 1、P30/P31 和 P15/P13 端口映射为 IIC 端口后，自动转换成开漏状态；只有作为普通 GPIO 时，开漏推挽可由 PxxOD 控制；



11 UART异步通讯接口

11.1 概述

片上包含 2 路 UART:

UART0

- ◇ 自带波特率发生器
- ◇ 支持硬件奇偶校验
- ◇ 可编程 8 位/9 位数据长度
- ◇ STOP 可配置 1 位或 2 位
- ◇ 支持多处理器模式
- ◇ 支持 3 路 IO 口映射选择

UART1

- ◇ 自带波特率发生器
- ◇ 支持硬件奇偶校验
- ◇ 可编程 8 位/9 位数据长度
- ◇ STOP 固定 1 位

11.2 UART0

UART0 有 2 种工作方式。在通讯之前必须先初始化串口控制寄存器和波特率控制，选择 UART 的工作方式和波特率。

初始化后，任何将串口缓冲寄存器 SBUF 作为目标寄存器的写操作都会启动发送。内部接收器利用外部输入的起始位来初始化接收（如果 REN=1），外部发送器通过发送起始位开始通信。

UART0 发送/接收均是小端模式（LSB 先发）。

UART 方式列表

DMOD	方式	类型	波特率	数据位	起始位	停止位	第 9 位
0	0	异步	Baudrate=FSYS24M/16/BRG[9:0]	8 位	1	1	无
1	1	异步		9 位	1	1	0/1

11.2.1 方式 0: 8 位异步全双工，可变波特率

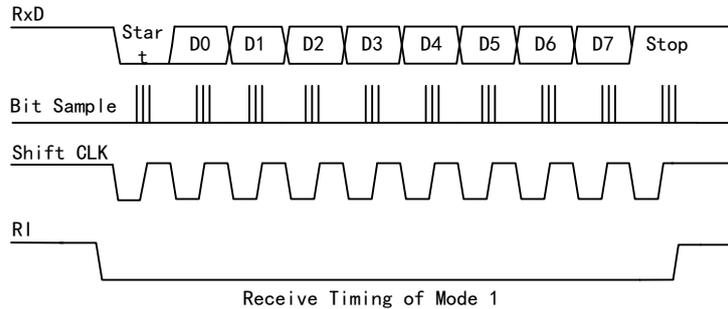
方式 0 提供 10/11 位全双工异步通信，由一个起始位（逻辑 0）、8 个数据位（低位在前）和 1 个或 2 个停止位（逻辑 1，STP_LEN 控制长度）组成。

方式 1 功能块框图如下图所示：



端是否另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。

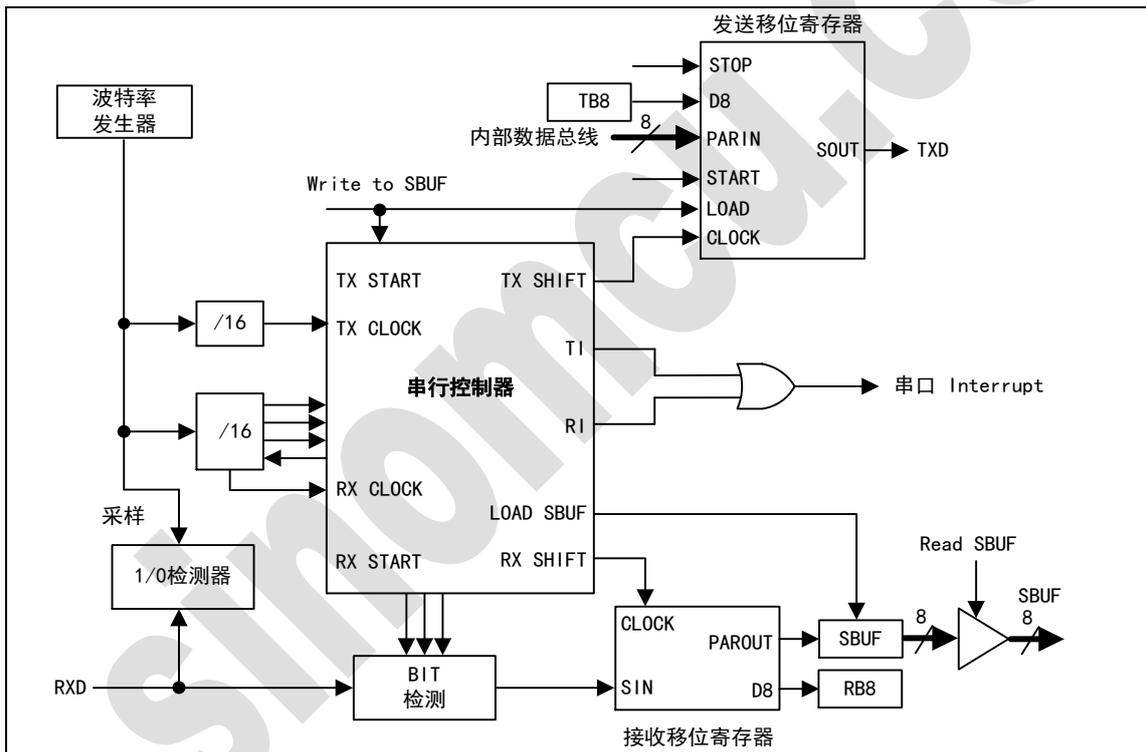
注：启动接收前，必须开启 UART0_EN；为避免接收器溢出，接收器内置缓存，当接收到数据后 RI 置 1，用户有一个完整帧时间，可以读取 SBUF 数据。



11.2.2 方式 1: 9 位异步全双工, 可变波特率

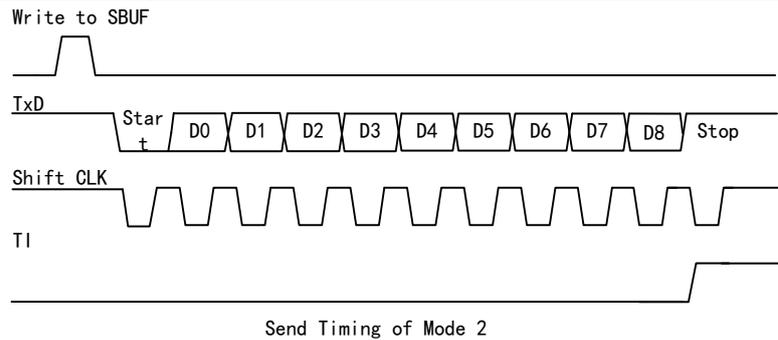
这个方式使用异步全双工通信中的 11/12 位。一帧由一个起始位 (逻辑 0), 8 个数据位 (低位在前), 一个可编程的第 9 数据位和 1 个或 2 个停止位 (逻辑 1, STP_LEN 控制长度) 组成。方式 1 支持多机通信 (详见多机通讯章节)。在数据传送时, 第 9 数据位 (UART0STA 中的 TB8) 可以写 0 或 1, 例如, 可写入 PSW 中的奇偶位 P, 或用作多机通信中的数据/地址标志位。当接收到数据时, 第 9 数据位进入 RB8 位。

方式 1 功能块框图如下所示:



任何将 SBUF 作为目标寄存器的写操作都会启动发送, 同时也将 TB8 载入到发送移位寄存器的第 9 位中。实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的, 因此位时间与 16 分频计数器是同步的, 与对 SBUF 的写操作不同步。起始位首先在 TxD 引脚上移出, 然后是 9 位数据位。在发送转换寄存器中的所有 9 位数据都发送完后, 停止位在 TxD 引脚上移出, 在停止位开始发送时 TI 标志置 1。

注：启动发送前，必须开启 UART0_EN；发送过程不允许写入 SBUF 寄存器和 TB8 位,直到发送完停止位后，发送中断标志置位，才可以再次写入 SBUF，重新开启新的发送。

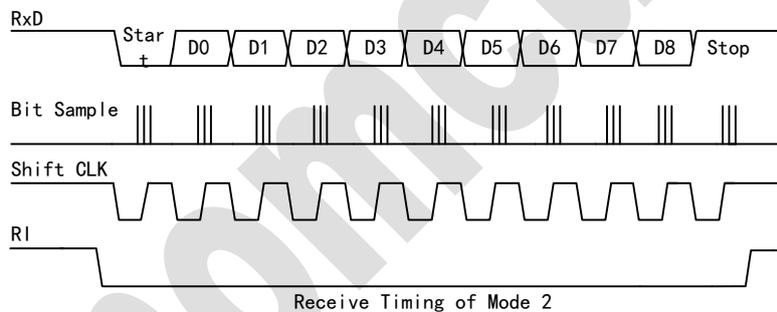


只有 REN 位置 1 时才允许接收。当 RxD 引脚检测到下降沿时串口开始接收串行数据。为此，芯片对 RxD 不断采样，采样速率为波特率的 16 倍。当检测下降沿时，16 分频计数器立即复位。这有助于 16 分频计数器与 RxD 引脚上的串行数据位同步。16 分频计数器把每一位的时间分为 16 个状态，在第 8、9、10 状态时，位检测器对 RxD 端的电平进行采样。为抑制噪声，在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。如果所接收的第一位不是 0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待 RxD 引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。9 个数据位和 1 个停止位移入之后，移位寄存器的内容被分别装入 SBUF 和 RB8 中，RI 置 1，但必须满足下列条件：

- (1) RI=0;
- (2) MMOD=0 或者 MMOD=1 且接收的第 9 位=1;

如果这些条件被满足，那么第 9 位移入 RB8，8 位数据移入 SBUF，RI 被置 1。否则接收的数据帧会丢失。在停止位的当中，接收器回到寻找 RxD 引脚上的另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。

注：启动接收前，必须开启 UART0_EN；为避免接收器溢出，接收器内置缓存，当接收到数据后 RI 置 1，用户一个完整帧时间，可以读取 SBUF 数据。



11.2.3 波特率计算

UART 方式 0 和方式 1:

$$\text{波特率} = \frac{1}{16} \times \frac{\text{Fsys24M}}{\text{BRG}[9:0]}$$

其中 Fsys24M 为系统时钟 24MHz，BRG[9:0]为波特率发生器设定值。

注：当波特率发生器 BRG[9:0]设置为 0 时，不产生波特率时钟。

11.2.4 多机通讯

软件地址识别

方式 1 有一个专门的适用于多机通讯的功能，可通过将 UART0CR0 寄存器的 MMOD 位置 1 开启。在此方式下，接收的是 9 位数据，第 9 位移入 RB8 中。当接收到停止位时，只有在 RB8=1 的条件下，串口中断才会有效（请求标志 RI 置 1）。



在多机通讯系统中，第 9 位数据位，用于区分地址字节与数据字节，地址字节的第 9 位为 1，数据字节的第 9 位为 0。

当从机 MMOD 为 1，则不会响应数据字节中断。地址字节可以中断所有从机，这样，每一个从机都检查所接收到的地址字节，应用中以此判别自己是不是目标从机。被寻到的从机将 MMOD 位清 0，并准备接收即将到来的数据字节，当接收完毕时，从机再一次将 MMOD 置 1。没有被寻址的从机，则维持其 MMOD 位为 1，忽略到来的数据字节，继续做自己的事情。

11.2.5 接收错误检测

UART0 接收数据支持错误检测机制，可检测接收溢出、帧出错、奇偶校验出错 3 种错误，均需要软件清除标志。建议检测到接收中断后，读出状态标志，读数据 SBUF，最后将接收数据状态标志均清除 (UART0STA[3:0])。

发送冲突

当一个发送正在进行，而此时软件写数据到 SBUF 寄存器，新数据会被忽略，不会被写入发送缓冲器。

接收溢出

若 RI=0,数据被接收到内部移位寄存器后，RI 置 1，数据字节被传输至 SBUF 寄存器；若此时 RI 已经置位，则接收溢出位 RXOV 位置 1。如果发生了接收溢出，新数据将丢失。

帧出错

如果检测到一个无效（低）停止位，则帧出错位 FE 置 1。

奇偶校验错误

当接收器检测到数据奇偶校验和 RB8 接收的奇偶校验不同时，置位奇偶校验错误标志 PARER。

11.2.6 IO 映射选择

配置 PERIPHCR 寄存器的 UART0_IOS[1:0]位，可以选择 3 组 IO 中的 1 组作为 uart0 通讯口。

11.3 UART1

UART1 自带波特率发生器，在方式 1 和方式 3 下提供波特率。

UART1 不支持错误检测，且 UART1 仅支持 8 位异步全双工（方式 1）、9 位异步可变波特率（方式 3）2 种工作方式。

在两种方式中，任何将串口缓冲寄存器 SBUF 作为目标寄存器的写操作都会启动发送。利用外部输入的起始位来初始化接收（如果 REN=1），外部发送器通过发送起始位开始通信。

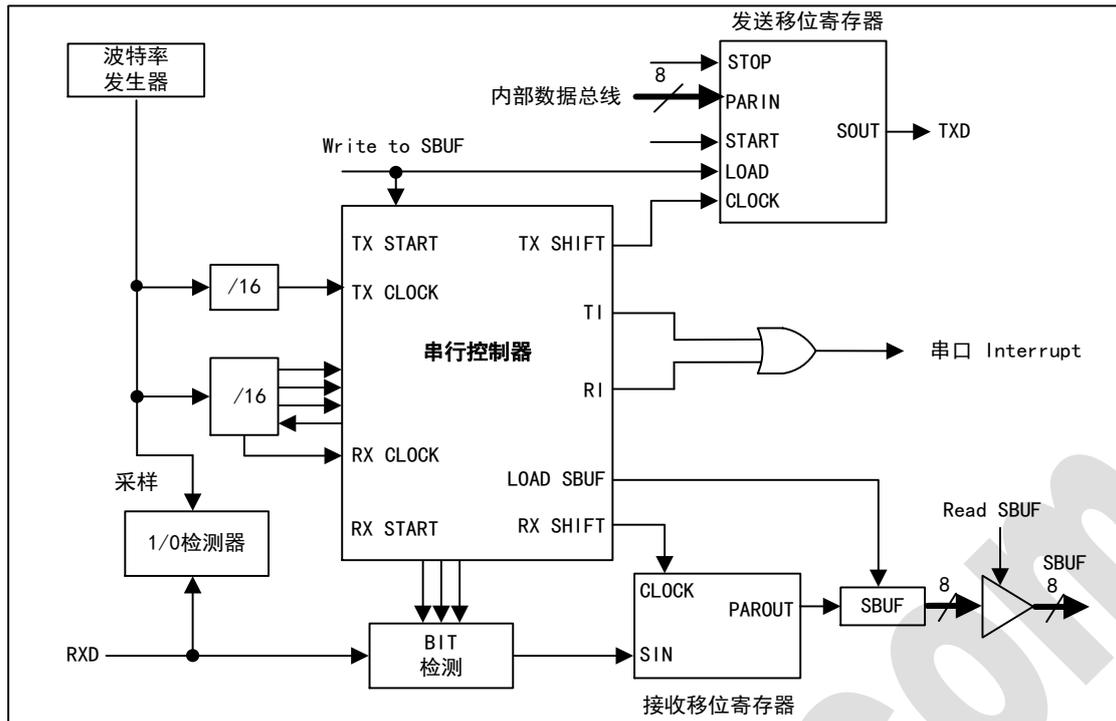
UART 方式列表

SM[0:1]	方式	类型	波特率	帧长度	起始位	停止位	第 9 位
01	1	异步	FHCLK/(16x(65536-[BRGH,BRGL])+BRTRIM[3:0])	10 位	1	1	无
11	3	异步		11 位	1	1	0/1
其他	保留	-	-	-	-	-	-

11.3.1 方式 1: 8 位异步全双工，可变波特率

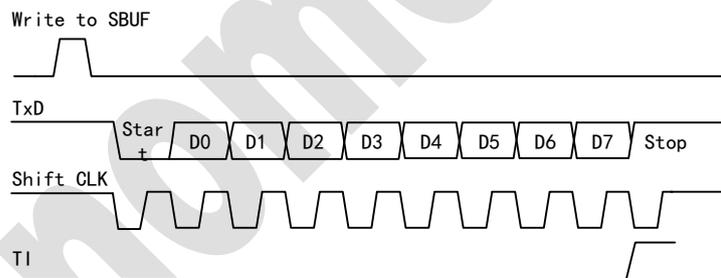
方式 1 提供 10 位全双工异步通信，10 位由一个起始位（逻辑 0）、8 个数据位（低位在前）和一个停止位（逻辑 1）组成。在接收时，这 8 个数据位存储在 SBUF 中而停止位储存在 RB8 位中。方式 1 中的波特率是可变的，串行收发波特率为定时器 T1/T2 溢出率的 1/16。

方式 1 功能块框图如下图所示：



任何将 SBUF 作为目标寄存器的写操作都会启动发送，实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与 16 分频计数器是同步的，与对 SBUF 的写操作不同步。起始位首先在 TxD 引脚上移出，然后是 8 位数据位。在发送移位寄存器中的所有 8 位数据都发送完后，停止位在 TxD 引脚上移出，在停止位发出的同时 TI 标志置 1。

注：启动发送前，必须开启 UART1_EN；发送过程不允许写入 SBUF 寄存器和 TB8 位，直到发送完停止位后，发送中断标志置位，才可以再次写入 SBUF，重新开启新的发送。



Send Timing of Mode 1

只有 REN 位置 1 时才允许接收。当 RxD 引脚检测到下降沿时串口开始接收串行数据。为此，芯片对 RxD 不断采样，采样速率为波特率的 16 倍。当检测下降沿时，16 分频计数器立即复位，这有助于 16 分频计数器与 RxD 引脚上的串行数据位同步。16 分频计数器把每一位的时间分为 16 个状态，在第 7、8、9 状态时，位检测器对 RxD 端的电平进行采样。为抑制噪声，在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。如果所接收的第一位不是 0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待 RxD 引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。8 个数据位和 1 个停止位移入之后，移位寄存器的内容被分别装入 SBUF 和 RB8 中，RI 置 1，但必须满足下列条件：

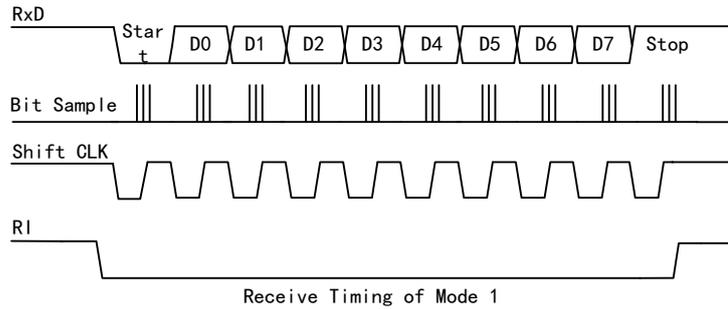
- (1) RI=0;
- (2) SM2=0，或者接收的停止位=1;

如果这些条件被满足，那么停止位装入 RB8，8 个数据位装入 SBUF，RI 被置 1。否则接收的帧会丢失。这时，接



收器将重新去探测 RxD 端是否另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。

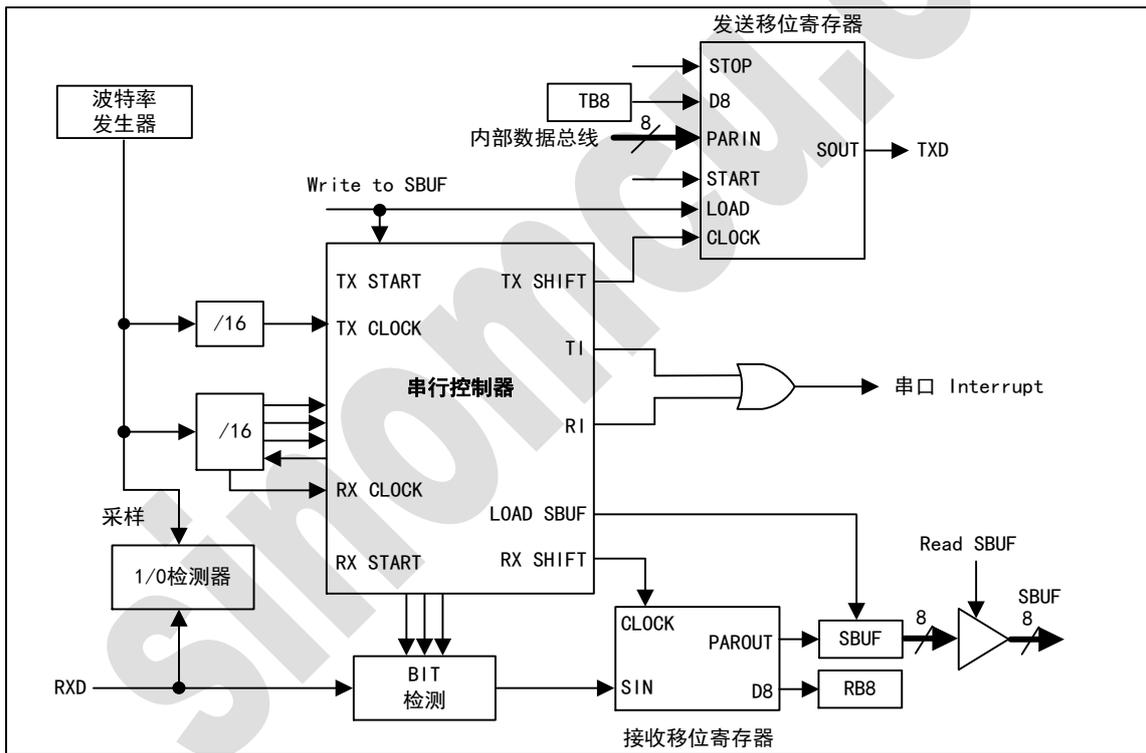
注：启动接收前，必须开启 UART1_EN。



11.3.2 方式 3: 9 位异步全双工, 可变波特率

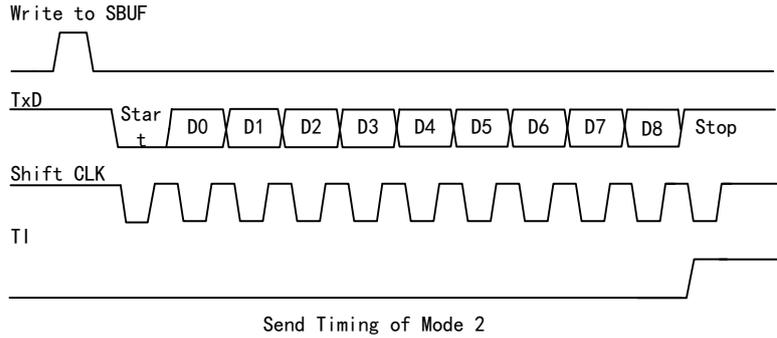
这个方式使用异步全双工通信中的 11 位。一帧由一个起始位 (逻辑 0)，8 个数据位 (低位在前)，一个可编程的第 9 数据位和 一个停止位 (逻辑 1) 组成。方式 2 支持多机通信和硬件地址识别 (详见多机通讯章节)。在数据传送时，第 9 数据位 (SCON 中的 TB8) 可以写 0 或 1，例如，可写入 PSW 中的奇偶位 P，或用作多机通信中的数据/地址标志位。当接收到数据时，第 9 数据位进入 RB8 而停止位不保存。

方式 2 功能块框图如下所示：



任何将 SBUF 作为目标寄存器的写操作都会启动发送，同时也将 TB8 载入到发送移位寄存器的第 9 位中。实际上发送是从 16 分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与 16 分频计数器是同步的，与对 SBUF 的写操作不同步。起始位首先在 TxD 引脚上移出，然后是第 9 位数据。在发送转换寄存器中的所有 9 位数据都发送完后，停止位在 TxD 引脚上移出，在停止位开始发送时 TI 标志置 1。

注：启动发送前，必须开启 UART1_EN；发送过程不允许写入 SBUF 寄存器和 TB8 位，直到发送完停止位后，发送中断标志置位，才可以再次写入 SBUF，重新开启新的发送。

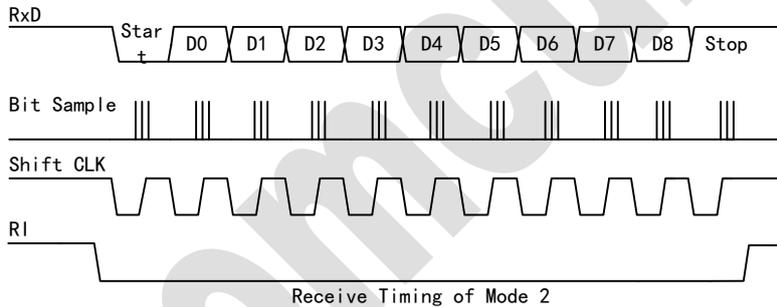


只有 REN 位置 1 时才允许接收。当 RxD 引脚检测到下降沿时串口开始接收串行数据。为此，芯片对 RxD 不断采样，采样速率为波特率的 16 倍。当检测下降沿时，16 分频计数器立即复位。这有助于 16 分频计数器与 RxD 引脚上的串行数据位同步。16 分频计数器把每一位的时间分为 16 个状态，在第 7、8、9 状态时，位检测器对 RxD 端的电平进行采样。为抑制噪声，在这 3 个状态采样中至少有 2 次采样值一致数据才被接收。如果所接收的第一位不是 0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待 RxD 引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。9 个数据位和 1 个停止位移入之后，移位寄存器的内容被分别装入 SBUF 和 RB8 中，RI 置 1，但必须满足下列条件：

- (1) RI=0;
- (2) SM2=0 或者 SM2=1 且接收的第 9 位=1;

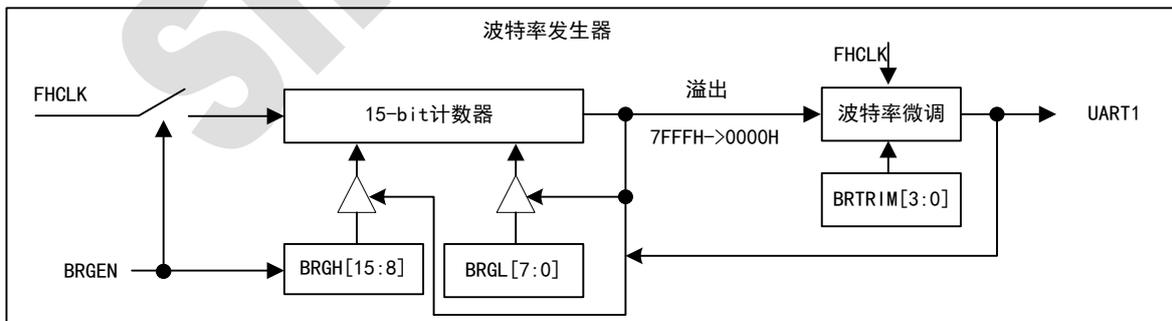
如果这些条件被满足，那么第 9 位移入 RB8，8 位数据移入 SBUF，RI 被置 1。否则接收的数据帧会丢失。在停止位的当中，接收器回到寻找 RxD 引脚上的另一个下降沿。用户必须用软件清除 RI，然后才能再次接收。

注：启动接收前，必须开启 UART1_EN。



11.3.3 波特率计算

UART1 自带波特率发生器且波特率可微调，精度为一个系统时钟。



波特率公式如下：



$$\text{波特率} = \frac{\text{FHCLK}}{16 \times (65536 - [\text{BRGH}, \text{BRGL}]) + \text{BRTRIM}}$$

举例：FHCLK = 12MHz，计算 115200bps 波特率如下：

$$12000000/16/115200 = 6.51$$

$$[\text{BRGH}, \text{BRGL}] = 65536 - 6 = 65530$$

由波特率公式， $115200 = 12000000/(16*6+\text{BRTRIM})$ ，得 $\text{BRTRIM} = 8.2$ ，取整 8。

实际波特率 = $12000000/(16*6+8) = 115384.6\text{bps}$ ，误差 0.16%。

11.3.4 多机通讯

软件地址识别

方式 3 有一个专门的适用于多机通讯的功能，可通过将 UART1SCON 寄存器的 SM2 位置 1 开启。在此方式下，接收的是 9 位数据，第 9 位移入 RB8 中。当接收到停止位时，只有在 RB8=1 的条件下，串行口中断才会有效（请求标志 RI 置 1）。

在多机通讯系统中，第 9 位数据位，用于区分地址字节与数据字节，地址字节的第 9 位为 1，数据字节的第 9 位为 0。

当从机 SM2 为 1，则不会响应数据字节中断。地址字节可以中断所有从机，这样，每一个从机都检查所接收到的地址字节，应用中以此判别自己是不是目标从机。被寻到的从机将 SM2 位清 0，并准备接收即将到来的数据字节，当接收完毕时，从机再一次将 SM2 置 1。没有被寻址的从机，则维持其 SM2 位为 1，忽略到来的数据字节，继续做自己的事情。

注：UART0 的 MMOD 位和 UART1 的 SM2 位都是用于多机通讯，功能相似。

11.4 端口与 IO 功能

RX 端口：UARTxEN 使能后，REN（接收使能控制位）关闭（REN=0）的情况下，RX 状态由此引脚的其他复用（需开启）或 IO 控制决定；一旦 REN 使能，RX 为输入模式，上拉受 IO 上拉寄存器控制；

TX 端口：UARTxEN 使能后，因为没有发送使能，写 SBUF 前，都是空闲状态，TX 状态由此引脚的其他复用（需开启）或 IO 控制；当对 SBUF 写操作，TX 由 UART 发送控制，发送完成恢复空闲状态，继续由此引脚的其他复用（需开启）或 IO 控制。

注：建议将相应 IO 的功能设为输入上拉，以免 UART 进入空闲状态释放端口后误输入或输出一个低电平起始位。

11.5 UART 相关寄存器

UART 寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /C0	UART0S TA	串口 0 状态寄 存器	-	RB8	TB8	TI	RI	RXOV	FE	PARER	-000 0000
SFR0 /C1	UART0C R0	串口 0 控制寄 存器 0	-	UART0 _EN	REN	MMOD	STP_LE N	DMOD	PAREN	PARSEL	-000 0000
SFR0	UART0C	串口 0 控制寄	-	-	-	-	TXIE	RXIE	BRG9_	BRG8_	----



/C2	R1	寄存器 1							0	0	0000
SFR0 /C3	UART0S BUF	串口 0 缓存寄存器	SBUF7	SBUF6	SBUF5	SBUF4	SBUF3	SBUF2	SBUF1	SBUF0	1111 1111
SFR0 /C4	UART0B RG	串口 0 波特率计数器寄存器	BRG7_0	BRG6_0	BRG5_0	BRG4_0	BRG3_0	BRG2_0	BRG1_0	BRG0_0	00000 000
SFR0 /C8	SCON_1	串口 1 控制寄存器	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	00000 000
SFR0 /C9	SBUF_1	串口 1 缓存寄存器	SBUF7_1	SBUF6_1	SBUF5_1	SBUF4_1	SBUF3_1	SBUF2_1	SBUF1_1	SBUF0_1	xxxx xxxx
SFR0 /C5	BRGCR	串口 1 波特率控制寄存器	BRGEN	-	-	-	BRTRI M3	BRTRI M2	BRTRI M1	BRTRI M0	0--- 0000
SFR0 /C6	BRGL	串口 1 波特率计数器低位寄存器	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0	00000 000
SFR0 /C7	BRGH	串口 1 波特率计数器高位寄存器	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8	00000 000
SFR0 /EB	PERIPH CR	外设端口控制寄存器	IIC_IOS	IIC_AF	IIC_DF	UART0 _IOS1	UART0 _IOS0	-	SPI_EN	UART1 _EN	0100 0000
SFR0 /A1	IE2	中断使能寄存器 2	-	-	-	-	SPIIE	UART1I E	UART0I E	LVDIE	---- -000
SFR0 /B2	IP2	中断优先级控制寄存器 2	-	-	-	-	SPIIPL	UART1I PL	UART0I PL	LVDIPL	---- -000
SFR0 /F2	INTIF2	中断标志寄存器 2	-	-	-	-	SPIIF	UART1I F	UART0I F	LVDIF	---- 0000

11.5.1 串口 0 状态寄存器 (UART0STA,0xC0/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART0STA	-	RB8	TB8	TI	RI	RXOV	FE	PARER
R/W	-	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[6] RB8 – 方式 1 时接收数据的第 9 位（数据位），只读

0: 方式 1 时接收数据的第 9 位为 0;

1: 方式 1 时接收数据的第 9 位为 1。

BIT[5] TB8 – 方式 1 时发送数据的第 9 位，可读写，当奇偶校验使能时为只读

0: 方式 1 发送数据的第 9 位为 0;

1: 方式 1 发送数据的第 9 位为 1。

BIT[4] TI – 发送中断标志位

0: 由软件清 0;

1: 发送停止位后，由硬件置 1。

BIT[3] RI – 接收中断标志位

0: 由软件清 0;

1: 接收停止位后，由硬件置 1。



- BIT[2] RXOV – 接收溢出标志位
0: 无接收溢出, 由软件清 0;
1: 接收溢出, 由硬件置 1。
- BIT[1] FE – 帧出错标志位
0: 无帧出错, 由软件清 0;
1: 发生帧出错, 由硬件置 1。
- BIT[0] PARER – 奇偶校验错误标志位
0: 接收奇偶校验正确, 由软件清 0;
1: 接收奇偶校验错误, 由硬件置 1。

11.5.2 串口 0 控制寄存器 0 (UART0CR0,0xC1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART0CR0	-	UART0_EN	REN	MMOD	STP_LEN	DMOD	PAREN	PARSEL
R/W	-	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- BIT[6] UART0_EN – UART0 使能
0: 关闭;
1: 使能。

- BIT[5] REN – 接收使能
0: 关闭;
1: 开启。

- BIT[4] MMOD – 多机模式
0: 关闭;
1: 使能。

- BIT[3] STP_LEN – STOP 位宽选择
0: 1 位;
1: 2 位。

- BIT[2] DMOD – 数据模式
0: 方式 0 (8 位模式);
1: 方式 1 (9 位模式)。

- BIT[1] PAREN – 奇偶校验使能
0: 关闭;
1: 使能。

- BIT[0] PARSEL – 奇偶校验选择
0: 偶校验;
1: 奇校验。

11.5.3 串口 0 控制寄存器 1 (UART0CR1,0xC2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART0CR1	-	-	-	-	TXIE	RXIE	BRG9_0	BRG8_0



R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] TXIE – 发送中断使能

0: 关闭;

1: 使能。

BIT[2] RXIE – 接收中断使能

0: 关闭;

1: 使能。

BIT[1:0] BRG9_0, BRG8_0 – 波特率配置位 bit[9:8], 参见 UART0 波特率计数器寄存器说明

11.5.4 串口 0 缓存寄存器 (UART0SBUF, 0xC3/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART0SBUF	SBUF7	SBUF6	SBUF5	SBUF4	SBUF3	SBUF2	SBUF1	SBUF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] SBUF[7:0] – UART 数据缓存, SBUF 访问两个寄存器: 1 个移位寄存器和 1 个接收锁存寄存器。SBUF 的写入将发送字节到移位寄存器中, 然后开始从端口发送; SBUF 的读取将返回接收锁存寄存器中的内容

注: UART0 的发送和接收用缓存, 使用了同一个缓存寄存器, 写入时是一个通道, 读取时是另一个通道, 故用户编写软件中需要注意。

11.5.5 串口 0 波特率计数器寄存器 (UART0BRG, 0xC4/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UART0BRG	BRG7_0	BRG6_0	BRG5_0	BRG4_0	BRG3_0	BRG2_0	BRG1_0	BRG0_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] BRG[7:0]_0 – 波特率计数器控制与 UART0CR1 寄存器的 BRG[9:8]_0 联合控制

波特率 = $FSYS24M/16 / BRG[9:0]_0$;

注: 若 BRG[9:0]_0 配置为 0 时, 不产生波特率时钟。

11.5.6 串口 1 控制寄存器 (SCON_1, 0xC8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON_1	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:6] SM[0:1]_1 – UART1 方式控制位

SM[0:1]_1	UART 工作方式	适用
01	方式 1: 8 位异步方式, 可变波特率	UART1
11	方式 3: 9 位异步方式, 可变波特率	UART1



注：当 UART1 的 SM[1:0]_1 设置为 00 或者 10 时，UART1 不能正常工作。

BIT[5] SM2_1 – UART 功能设定位

SM2	方式 1	方式 3
0	禁止停止位确认检验，停止位将置 RI 为 1 产生中断	任何字节均会置 RI 为 1 产生中断
1	允许停止位确认检验，只有有效的停止位(1)才能置 RI 为 1 产生中断	只有寻址字节(第 9 位=1)能置 RI 为 1 产生中断

BIT[4] REN_1 – 接收器允许位

0: 禁止接收;
1: 允许接收。

BIT[3] TB8_1 – 方式 3 时发送数据的第 9 位

0: 方式 3 发送数据的第 9 位为 0;
1: 方式 3 发送数据的第 9 位为 1。

BIT[2] RB8_1 – 方式 1/3 时接收数据的第 9 位 (停止位或数据位)

0: 方式 1/3 时接收数据的第 9 位为 0;
1: 方式 1/3 时接收数据的第 9 位为 1。

BIT[1] TI_1 – 发送中断标志位

0: 由软件清 0;
1: 在方式 1/3 的停止位开始，由硬件置 1。

BIT[0] RI_1 – 接收中断标志位

0: 由软件清 0;
1: 在方式 1/3 的停止位开始，由硬件置 1。

11.5.7 串口 1 缓存寄存器 (SBUF_1,0xC9/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF_1	SBUF7_1	SBUF6_1	SBUF5_1	SBUF4_1	SBUF3_1	SBUF2_1	SBUF1_1	SBUF0_1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] SBUF_1[7:0] – UART 数据缓存，SBUF 访问两个寄存器：1 个移位寄存器和 1 个接收锁存寄存器。SBUF 的写入将发送字节到移位寄存器中，然后开始从端口发送；SBUF 的读取将返回接收锁存寄存器中的内容

注：UART1 的发送和接收用缓存，使用了同一个缓存寄存器，写入时是一个通道，读取时是另一个通道，故用户编写软件中需要注意。

11.5.8 串口 1 波特率控制寄存器 (BRGCR,0xC5/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BRGCR	BRGEN	-	-	-	BRTRIM3	BRTRIM2	BRTRIM1	BRTRIM0
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
复位值	0	-	-	-	0	0	0	0

BIT[7] BRGEN – 串口 1 波特率发生器使能控制位

0: 关闭;



1: 使能

BIT[3:0]

BRTRIM[3:0] – 串口 1 波特率微调控制位

波特率微调，单位为系统时钟 FHCLK clock，设置为 0 表示不做微调。

11.5.9 串口 1 波特率计数器低位寄存器 (BRGL,0xC6/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BRGL	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

11.5.10 串口 1 波特率计数器高位寄存器 (BRGH,0xC7/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BRGH	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	BRG9	BRG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0]

BRG[15:0] – 串口 1 波特率计数器控制寄存器

11.5.11 外设端口控制寄存器 (PERIPHCR, SFR0/EB)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PERIPHCR	IIC_IOS	IIC_AF	IIC_DF	UART0_IO S1	UART0_IO S0	-	SPI_EN	UART1_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

BIT[4:3]

UART0_IOS– UART0 端口选择控制

00: P30/31 口选择 UART0 功能;

01: P00/01 口选择 UART0 功能;

1X: P24/25 口选择 UART0 功能;

BIT[0]

UART1_EN– UART1 使能

0: 关闭;

1: 使能。

11.5.12 中断使能寄存器 2 (IE2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[2]

UART1IE– UART1 中断使能控制位

0: 关闭;



1: 使能
 BIT[1] UART0IE- UART0 中断使能控制位
 0: 关闭;
 1: 使能

11.5.13 中断优先级控制寄存器 2 (IP2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP2	-	-	-	-	SPIIPL	UART1IPL	UART0IPL	LVDIPL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[2] UART1IPL- UART1 中断优先级控制位
 0: 低优先级;
 1: 高优先级

BIT[1] UART0IPL- UART0 中断优先级控制位
 0: 低优先级;
 1: 高优先级

注：“高优先级中断”可以打断正在执行的“低优先级中断”，实现多层中断嵌套；在同一优先级情况下则按其“中断源列表”上的顺序排列。特别注意，一个中断产生后，若用户不进行处理，相同优先级的任何新中断将不会再产生。

11.5.14 中断标志寄存器 2 (INTIF2,0xF2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF2	-	-	-	-	SPIIF	UART1IF	UART0IF	LVDIF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[2] UART1IF - UART1 中断标志位
 0: 未发生中断，当中断响应后硬件清 0;
 1: 发生中断。

BIT[1] UART0IF - UART0 中断标志位
 0: 未发生中断，当中断响应后硬件清 0;
 1: 发生中断。

11.6 应用注意

- 1、UART0 模块，即使读取过 UART0SBUF 中的内容，只要接收标志置位，此时再次接收到数据时，则溢出标志置位；
- 2、UART0 模块在中断开启的状态下，若在中断函数中不清除接收标志，则退出中断后不会再次进入中断；



12 SPI串行外设接口

12.1 SPI 概述

片上 SPI 支持全双工，3 线/4 线同步传输，主从机操作模式可选，LSB/MSB 优先可选，带芯片中断主模式故障出错标志，带写入冲突标志保护等功能。

串行外部设备接口（SPI）是一种高速串行通信接口，允许芯片与外部设备（包括芯片）进行全双工同步串行信号通信。

12.2 SPI 信号描述

主输出从输入（MOSI）：该信号表示主设备、从设备之间，数据流经主设备串行发送到从设备，主设备输出，从设备输入。

主输入从输出（MISO）：该信号表示主设备、从设备之间，数据流经从设备串行发送到主设备，从设备输出，主设备输入。注意：在 4 线 SPI 通信中从设备必须被选中，方可发送数据；若未被选中 MISO 引脚将处于高阻状态。

串行时钟（SCLK）：该信号用作控制 MOSI 和 MISO 线上输入输出数据的同步移动，每 8 个时钟周期 MOSI 和 MISO 线上传送一个字节，如果从设备未被选中 SCLK 信号将被此设备忽略。注意：只有主设备才能产生 SCLK 信号。

从设备选择信号（SS）：当做从设备使用时，每一个 SPI 从设备都带有一个片选信号，该信号低电平有效，当引脚信号由高到低反转时表明该从设备被选中，开始与 SPI 主设备进行通信。为了防止 SPI 通信冲突，同一时刻仅允许一个主设备与从设备通信。当做主设备使用时，该引脚可另作他用，从设备设备时交给 SPI 主设备控制。

12.3 工作模式

片上的 SPI 在工作中，仅可配置为主/从模式中的一种，对应于 3 线/4 线 SPI 模式，参考做法如下：

通信模式	本机 SPI 设备	本机 SPI 的 SS 脚	其他 SPI 设备	其他 SPI 设备 SS 脚
一主一从	主模式	可另作他用	从模式	拉低（片选信号始终有效）
一主多从				通过 GPIO 控制，通信时分别拉低（片选有效），切换不同从设备
一从一主	从模式	由其他 SPI 设备控制是否拉低（片选有效）	主模式	可另作他用

12.3.1 主机模式

当 SPCON 寄存器的 MSTR 位置 1 时，SPI 模块工作在主机模式。整个 SPI 系统中只允许一个主机启动传输，每次传输总是由主机发起。

在 SPI 作为主机模式中，向 SPI 的数据寄存器 SPDAT 写入数据后，数据将会写入发送移位缓冲器。如果发送移位寄存器已经存在一个数据，那么主 SPI 产生一个 WCOL 信号以表明写入太快。但是发送移位寄存器中的数据不会受到影响，发送也不会中断。另外如果发送移位寄存器为空，那么主设备立即按照 SCLK 的时钟频率串行地移出发送寄存器中的数据到 MOSI 上。当传送完毕，SPSTA 寄存器中的 SPIIF 位置 1。如果 SPI 中断被允许，当 SPIIF 位置 1，会产生一个中断请求。

当主设备通过 MOSI 传送数据给从设备时，相应的从设备同时也通过 MISO 将其发送移位寄存器的内容传送给主设备的接收移位寄存器，实现全双工。因此，SPIIF 标志位置 1 既表示数据发送完成，又表示接收完成。用户可以从 SPDAT 寄存器中读出接收的数据，并清除 SPIIF。



12.3.2 从机模式

当 SPCON 寄存器的 MSTR 位清 0 时，SPI 模块工作在从机模式。在数据传送之前，从设备的 SS 引脚必须拉低，且必须保持低电平直到一个字节数据传送完毕。当从机设备的 SS 管脚不为低时，主机设备不能与从机交换数据。在数据传输开始前和数据传输完成前，SS 管脚都需要保持低电平状态。如果 SS 变为高电平，SPI 模块将被迫进入闲置状态。如果 SS 管脚在传输的过程被置高，那么传输将被取消，接收移位缓存区里剩下的位数将变高，同时也将进入闲置状态。

在从机模式下，按照主机的 SCLK 的时钟信号，数据通过 MOSI 管脚由主机向从机传输，通过 MISO 管脚由从机向主机传输。一个位计数器记录 SCLK 的边沿数，当数据移位寄存器移入 8 位数据（一字节）；同时，在移位寄存器接收到 8 位数据（一字节），数据将移到接收数据缓存器，同时 SPIIF 置 1。若 SPI 中断被允许，当 SPIIF 置 1 时，会产生一个中断请求。此时接收移位寄存器将保持且 SPIIF 位置 1，这样 SPI 从设备将不会接收到任何数据，直到 SPIIF 位清 0。SPI 从设备必须在主设备开始一次新的数据传输前，将要传的数据写入发送移位寄存器。如果发送开始前未写入数据，从设备将传送“0x00”给主设备。如果写 SPDAT 操作发生在传输过程中，那么 SPI 从设备的 WCOL 标志位置 1，表示写 SPDAT 冲突。但是移位寄存器的数据不受影响，本次传输也不会中断。

12.4 数据传输格式

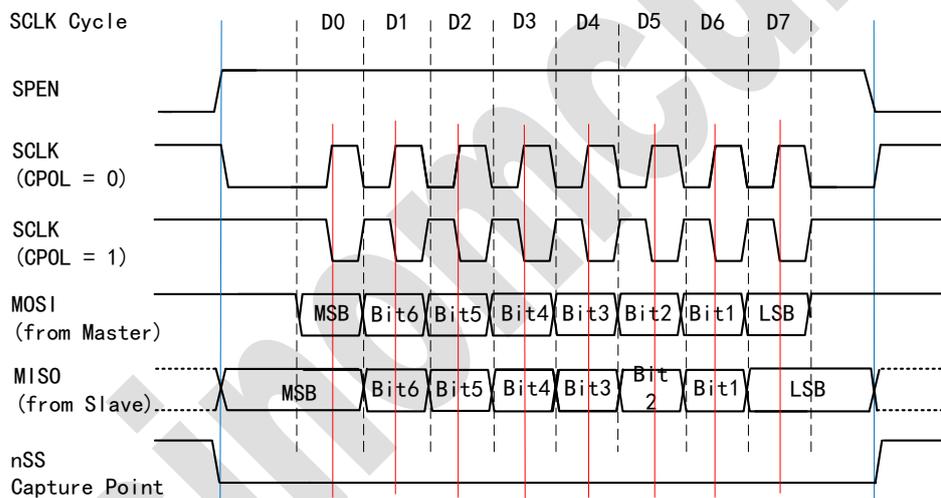
通过软件设置 SPCON 寄存器的 CPOL 位和 CPHA 位，用户可以选择 SPI 时钟 SCLK 的极性和相位的组合。

CPOL 位定义时钟的极性，即空闲时的电平状态。

CPHA 位定义时钟的相位，即定义了允许数据采样移位的时钟边沿。在 SPI 通信中主从通讯的两个设备，时钟极性相位的设置应一致。

当 CPHA=0，SCLK 的第一个捕获数据，从设备必须在 SCLK 的第一个沿之前将数据准备好。

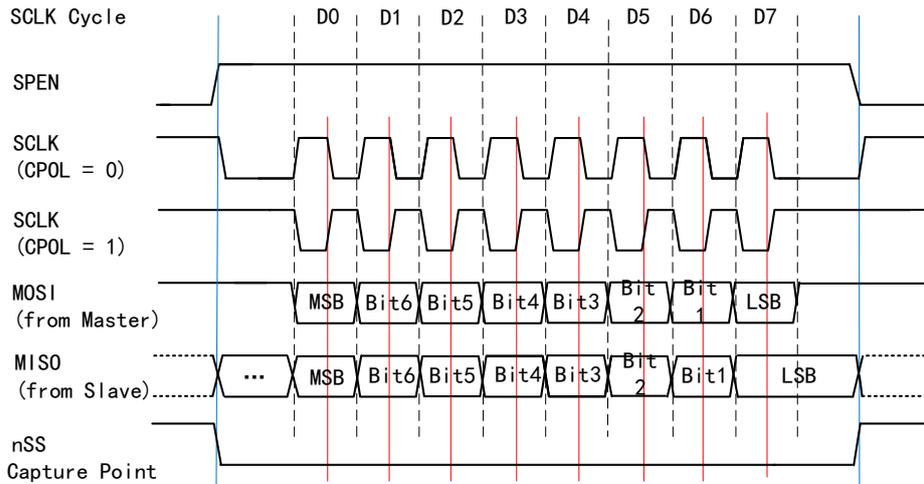
CPHA = 0 时的数据传输示意图



当 CPHA=1，主设备在 SCLK 的第一个沿将数据输出到 MOSI 上，从设备把 SCLK 的第一沿作为开始发送信号，SCLK 的第二个沿开始捕获数据，因此用户必须在第一个 SCLK 的两个沿内完成写 SPDAT 的操作。这种数据传输格式是一个主设备一个从设备之间通讯的首选。



CPHA = 1 时的数据传输示意图



12.5 出错检测

出错情形一：模式故障（MODF 位）

SPI 主模式下的模式故障出错表明 SS 引脚上的电平状态与实际的设备模式不一致。SPSTA 寄存器中 MODF 位置 1 后，表明系统控制存在多主设备冲突的问题。这种情况下，由于 SPCON 寄存器的 SS 引脚禁止位（SSDIS）清 0，SS 引脚信号为低时，MODF 标志位置 1。然而，对于只有一个主设备的系统来说，主设备的 SS 引脚被拉低，那是绝对不允许的。这种情况下，为防止 MODF 置 1，可使 SPCON 寄存器中的 SSDIS 位置 1，让 SS 引脚作为普通 I/O 口或是其它功能引脚。

此时，在重启 SPI 通信前，用户必须将 MODF 位以软件方式清 0，将 SPCON 寄存器中的 MSTR 位和 SPSTA 寄存器的 SPEN 位置 1，重新启动主模式。

注：当 SSDIS=0 且 MODF=1 时将产生 SPI 错误中断。

出错情形二：写冲突（WCOL 位）

在发送数据序列期间写入 SPDAT 寄存器会引起写的冲突，SPSTA 寄存器中的 WCOL 标志位置 1。WCOL 位置 1 不会引起中断，发送也不会中止。该标志位仅用于通知用户，SPI 数据写入的时机不对，WCOL 位需由软件清 0。

出错情形三：超限情况（SPIOV 位）

当作为主设备或从设备时，软件尚未清除 SPIIF 位，此时主或从设备又试图发送/接受几个数据字节时，发生超限情况。在这种情况下，接收移位寄存器保持原有数据，SPIIF 置 1，同样 SPI 设备直到 SPIIF 被清除后才会再接收新的数据。在 SPIIF 位被清除之前继续调用中断，SPIOV 位置 1 不会引起中断，发送也不会中止。该标志位仅用于通知用户，仍有接收的 SPI 数据未读取，SPIOV 位需由软件清 0。

12.6 SPI 相关寄存器

SPI 寄存器汇总表

地址 (SFRn/ H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /DA	SPDAT	SPI 数据寄存器	SPDAT 7	SPDAT 6	SPDAT 5	SPDAT 4	SPDAT 3	SPDAT 2	SPDAT 1	SPDAT 0	xxxx xxxx
SFR0	SPSTA	SPI 状态寄存器	SPEN	SPIF	MODF	WCOL	SPIOV	-	-	-	00000



/D8											---
SFR0 /D9	SPCON	SPI 控制寄存器	DIR	MSTR	CPHA	CPOL	SSDIS	SPR2	SPR1	SPR0	0000 000
SFR0 /EB	PERIPH CR	外设端口控制 寄存器	IIC_IOS	IIC_AF	IIC_DF	UART0 _IOS1	UART0 _IOS0	-	SPI_EN	UART1 _EN	0100 0000
SFR0 /A1	IE2	中断使能寄存 器 2	-	-	-	-	SPIIE	UART1I E	UART0I E	LVDIE	---- 0000
SFR0 /B2	IP2	中断优先级控 制 2 低位寄存 器	-	-	-	-	SPIIPL	UART1I PL	UART0I PL	LVDIPL	---- 0000
SFR0 /F2	INTIF2	中断标志寄存 器 2	-	-	-	-	SPIIF	UART1I F	UART0I F	LVDIF	---- 0000

12.6.1 SPI 控制寄存器 (SPCON,0xD9/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	DIR	MSTR	CPHA	CPOL	SSDIS	SPR2	SPR1	SPR0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7] DIR – 传输方向选择位
0: 发送时, 由 MSB 开始依次发送;
1: 发送时, 由 LSB 开始依次发送。

BIT[6] MSTR – SPI 主从选择位
0: 片上 SPI 做从设备使用;
1: 片上 SPI 做主设备使用。

注: 如果要设置 MSTR=1, 务必先让 SSDIS=1; 或者在 SSDIS=0 的状态, 但请提前上拉外部 SS 引脚, 否则 SPI 保护功能生效, 并不能正常进入主模式, 该位无法置 1, 仍保持 0 (从模式状态)。

BIT[5] CPHA – SPI 时钟相位控制位
0: SPI 周期的第一个上升沿采集数据;
1: SPI 周期的第二个上升沿采集数据。

BIT[4] CPOL – SPI 时钟极性控制位
0: 在 Idle 状态下 SCK 处于低电平;
1: 在 Idle 状态下 SCK 处于高电平。

BIT[3] SSDIS – SPI 片选信号 SS 控制位
0: 在主/从模式下, 打开 SS 引脚;
1: 在主/从模式下, 关闭 SS 引脚, SS 脚位可另作他用。

注: 如果 SSDIS 置 1, 不产生 MODF 中断请求; 在从模式下, 若 CPHA 为 0, 该位无效。

BIT[2:0] SPR[2:0] – SPI 时钟速率选择位

SPR[2:0]	SPI 工作时钟 F_{SPI}
000	FHCLK/2
001	FHCLK/4
010	FHCLK/8



011	FHCLK /16
100	FHCLK /32
101	FHCLK /64
110	FHCLK /128
111	FHCLK /256

注：作从模式时，SPI 的时钟由主机决定，但不应超过 8Mbit/s；作主模式时，SPI 的时钟由上表决定，最大设置也不应超过 8Mbit/s。

12.6.2 SPI 状态寄存器 (SPSTA,0xD8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPEN	SPIF	MODF	WCOL	SPIOV	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	-	-	-
复位值	0	0	0	0	0	-	-	-

BIT[7] SPEN – SPI 模块使能位

0: 关闭 SPI 模块，端口用于通用 IO 或其他复用模块；

1: 打开 SPI 模块，MOSI、MISO、SCLK 端口有效，开始数据的收发。

注：nSS 端口的使能与否，直接由 SSDIS 位来控制。

BIT[6] SPIF – SPI 数据传送标志位

0: 由软件清 0；

1: 表明数据传输已完成，由硬件置 1。

BIT[5] MODF – 模式故障标志位

0: 由软件清 0；

1: 表明 SS 引脚电平与 SPI 模式不匹配，由硬件置 1。

BIT[4] WCOL – 写入冲突标志位

0: 表明没有写入冲突发生，由软件清 0；

1: 表明已检测到写入冲突发生，由硬件置 1。

BIT[3] SPIOV – 接收超限标志位

0: 表明以处理接收超限，由软件清 0；

1: 表明已检测到接收超限，由硬件置 1。

12.6.3 SPI 数据寄存器 (SPDAT,0xDA/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT7	SPDAT6	SPDAT5	SPDAT4	SPDAT3	SPDAT2	SPDAT1	SPDAT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	X	X	X	X	X	X	X	X

BIT[7:0] SPDAT[7:0] – SPI 数据缓存寄存器

注 1: 写入 SPDAT 的数据被放置到发送移位寄存器中，而读取 SPDAT 时将获得接收移位寄存器中的数据，本质上对应了两个不同的寄存器，因此用户无法直接读取到自己写入的值。

注 2: SPDAT 的复位值为随机值，因此作主模式发送数据前必须设定其初值；当关闭 SPI 功能后，再读取 SPDAT 的内容无效。

**12.6.4 外设端口控制寄存器 (PERIPHCR, SFR0/EB)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PERIPHCR	IIC_IOS	IIC_AF	IIC_DF	UART0_IO S1	UART0_IO S0	-	SPI_EN	UART1_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

BIT[1] SPI_EN- SPI 使能
0: 关闭;
1: 使能。

12.6.5 中断使能寄存器 2 (IE2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] SPIIE - SPI 中断允许控制位
0: 禁止 SPI 中断;
1: 允许 SPI 中断, 当标志位 SPIIF=1 直接产生正常中断或者 SSDIS=0 且 MODF=1 时将产生 SPI 错误中断。

12.6.6 中断优先级控制寄存器 2 (IP2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP2	-	-	-	-	SPIIPL	UART1IPL	UART0IPL	LVDIPL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] SPIIPL- SPI 中断优先级控制位
0: 低优先级;
1: 高优先级

注: “高优先级中断”可以打断正在执行的“低优先级中断”, 实现多层中断嵌套; 在同一优先级情况下则按其“中断源列表”上的顺序排列。特别注意, 一个中断产生后, 若用户不进行处理, 相同优先级的任何新中断将不会再产生。

12.6.7 中断标志寄存器 2 (INTIF2,0xF2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF2	-	-	-	-	SPIIF	UART1IF	UART0IF	LVDIF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] SPIIF - SPI 中断标志位
0: 未发生中断;
1: 发生中断。



13 LVD低电压检测

13.1 概述

本芯片支持电源低电压检测功能，检测电压阈值 4 档可配置 (2.4V/3.0V/3.6V/4.2V)。

配置寄存器 PWRACR 寄存器的 LVDEN 位，开启 LVD 检测模块。

当配置好预设检测电压阈值档位 (LVDLVLS 寄存器) 后，电源电压下降至此阈值将置位 LVDIF 中断标志，若开启 LVD 中断使能，则触发中断；当电源电压回升至阈值电压以上，并超过迟滞电压，将再次置位 LVDIF 中断标志。通过 LVDSTA 寄存器的 RISE_STA 和 FALL_STA 状态位判断下降中断或上升中断有效。

13.2 LVD 相关寄存器

LVD 寄存器汇总表

地址 (SFRn/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)
SFR0/8E	LVDSTA	LVD 状态寄存器	-	-	-	-	-	-	RISE_STA	FALL_STA	---- --00
SFR0/8F	LVDLVLS	LVD 阈值控制寄存器	-	-	-	-	-	-	1	0	---- --00
SFR0/F8	PWRACR	功耗控制寄存器	-	-	-	LVDEN	BOREN	OSC32KEN	TKEN	ADCEN	---1 1111
SFR0/A1	IE2	中断使能寄存器 2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE	---- 0000
SFR0/B2	IP2	中断优先级控制 2 低位寄存器	-	-	-	-	SPIIPL	UART1PL	UART0PL	LVDIPL	---- 0000
SFR0/F2	INTIF2	中断标志寄存器 2	-	-	-	-	SPIIF	UART1F	UART0F	LVDIF	---- 0000

13.2.1 LVD 状态寄存器 (LVDSTA,0x8E/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDSTA	-	-	-	-	-	-	RISE_STA	FALL_STA
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1] RISE_STA – 升压触发状态位

0: 未触发阈值;

1: 触发阈值。

BIT[0] FALL_STA – 降压触发状态位

0: 未触发阈值;

1: 触发阈值。

**13.2.2 LVD 阈值控制寄存器 (LVDLVLS,0x8F/SFR0)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDLVLS	-	-	-	-	-	-	LVDLVL1	LVDLVL0
R/W	-	-	-	-	-	-	R/W	R/W
复位值	-	-	-	-	-	-	0	0

BIT[1:0] LVDLVL[1:0] – LVD 阈值档位选择
 00: 2.4V;
 01: 3.0V;
 10: 3.6V;
 11: 4.2V。

13.2.3 功耗控制寄存器 (PWRACR,0xF8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWRACR	-	-	-	LV DEN	BOREN	OSC32KEN	TKEN	ADCEN
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	1	1	1	1	1

BIT[4] LV DEN – LVD 模块使能位
 0: 使能;
 1: 关闭;

13.2.4 中断使能寄存器 2 (IE2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[0] LVDIE – LVD 中断使能控制位
 0: 关闭;
 1: 使能

13.2.5 中断优先级控制寄存器 2 (IP2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP2	-	-	-	-	SPIIPL	UART1IPL	UART0IPL	LVDIPL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[0] LVDIPL – LVD 中断优先级控制位
 0: 低优先级;
 1: 高优先级

注：“高优先级中断”可以打断正在执行的“低优先级中断”，实现多层中断嵌套；在同一优先级情况下则按其“中断源列表”上的顺序排列。特别注意，一个中断产生后，若用户不进行处理，相同优先级的任何新中断将不会再产生。

**13.2.6** 中断标志寄存器 2 (INTIF2,0xF2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF2	-	-	-	-	SPIIF	UART1IF	UART0IF	LVDIF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[0] LVDIF – LVD 中断标志位

0: 未发生中断;

1: 发生中断。



14 TK触摸按键

14.1 特性

- ◇ 最大支持 26 通道的高灵敏触摸按键（全脚位支持）
- ◇ 无需外置触摸电容
- ◇ 超强抗干扰能力，可通过 10V 动态 CS 测试
- ◇ 高度灵活的软件库支持及调试界面软件支持

14.2 功能描述

用户可以通过使用晟矽提供的触摸按键库文件及推广资料文件，快速容易实现所需的按键触控功能。

触摸按键库文件支持溢水算法、抗 CS 算法，灵敏度可调，参数调整灵活度高。

15 LED驱动

15.1 特性

本芯片支持 LED 驱动电路。

- ◇ 支持最大 8x8 矩阵，可配置 4x4、5x5、6x6、6x7、7x7、7x8、8x8。
- ◇ 双 LED 导通模式
- ◇ LED 导通时间可配置

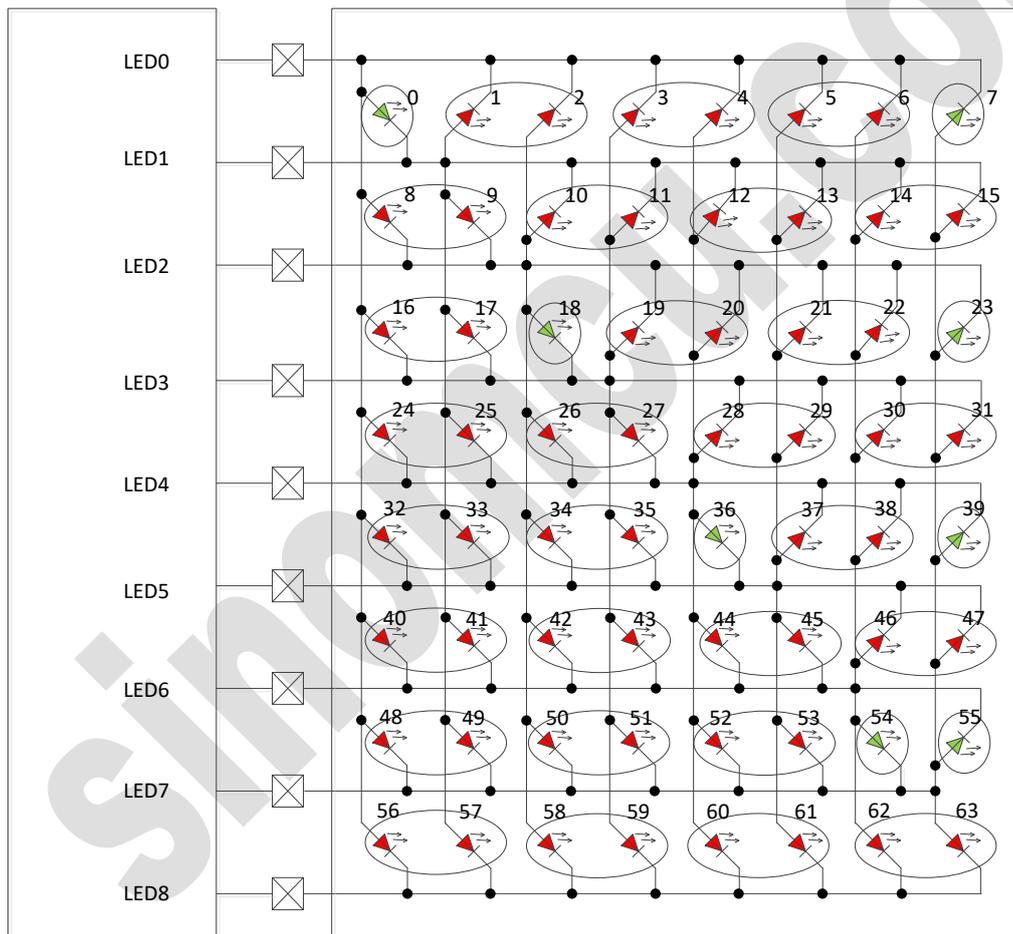
15.2 功能描述

LED 点阵采用双 LED 模式扫描驱动，一次点亮 2 个 LED；

选择不同的矩阵模式，硬件电路固定，参见下图；每个 LED 对应 SRAM 中的一个 bit 地址，1 表示开启，0 表示关闭。内部电路自动解码并完成扫描，实现 IO 输出控制。

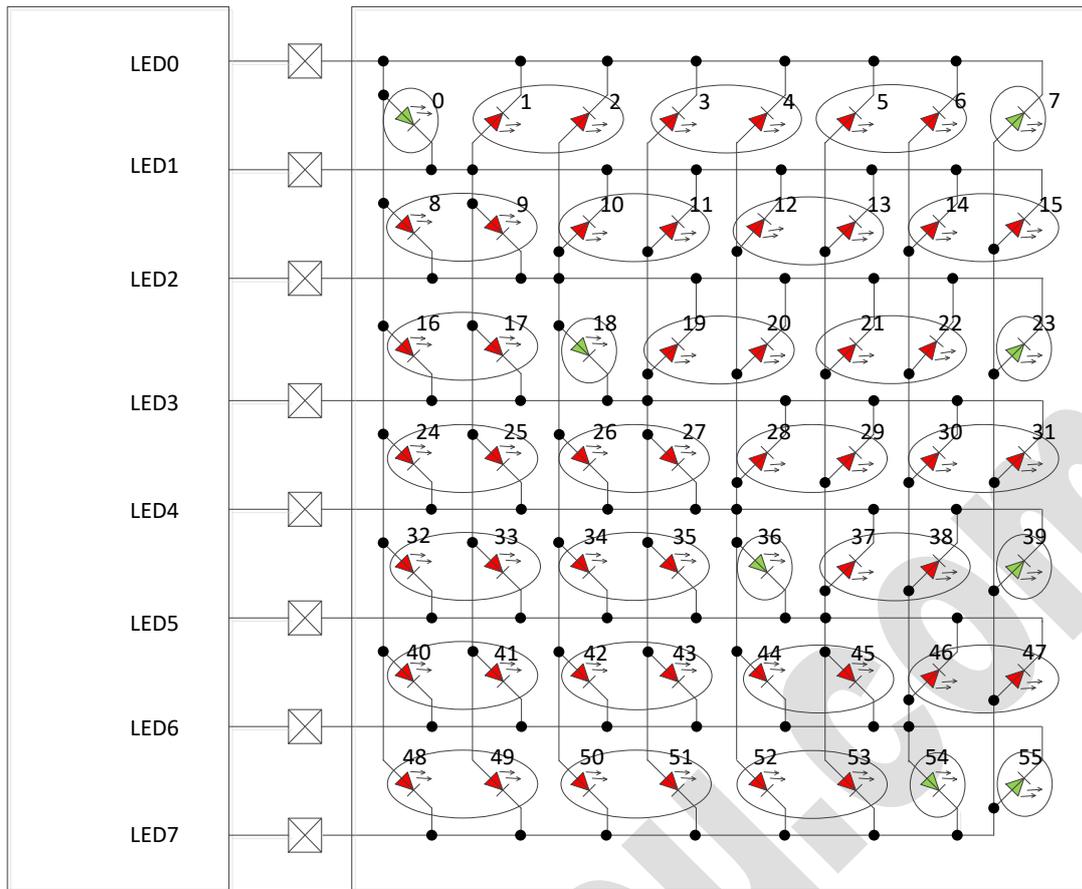
15.2.1 LED 点阵电路

8x8 点阵



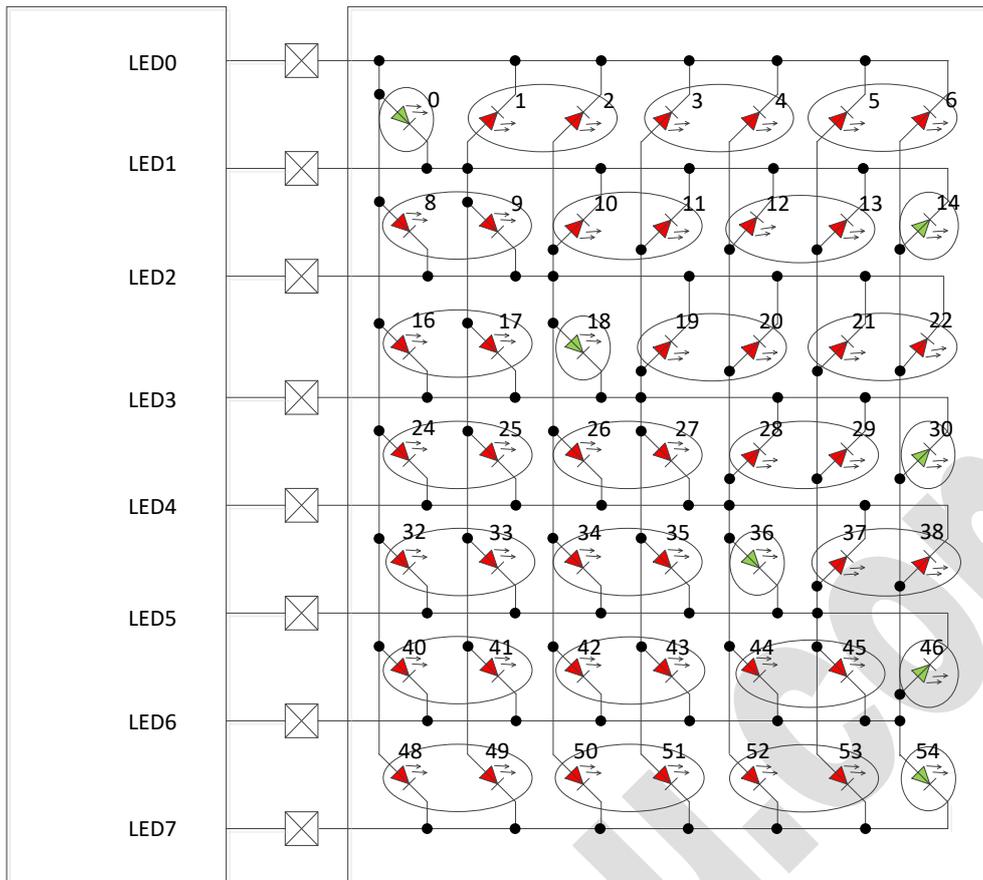


7x8 点阵

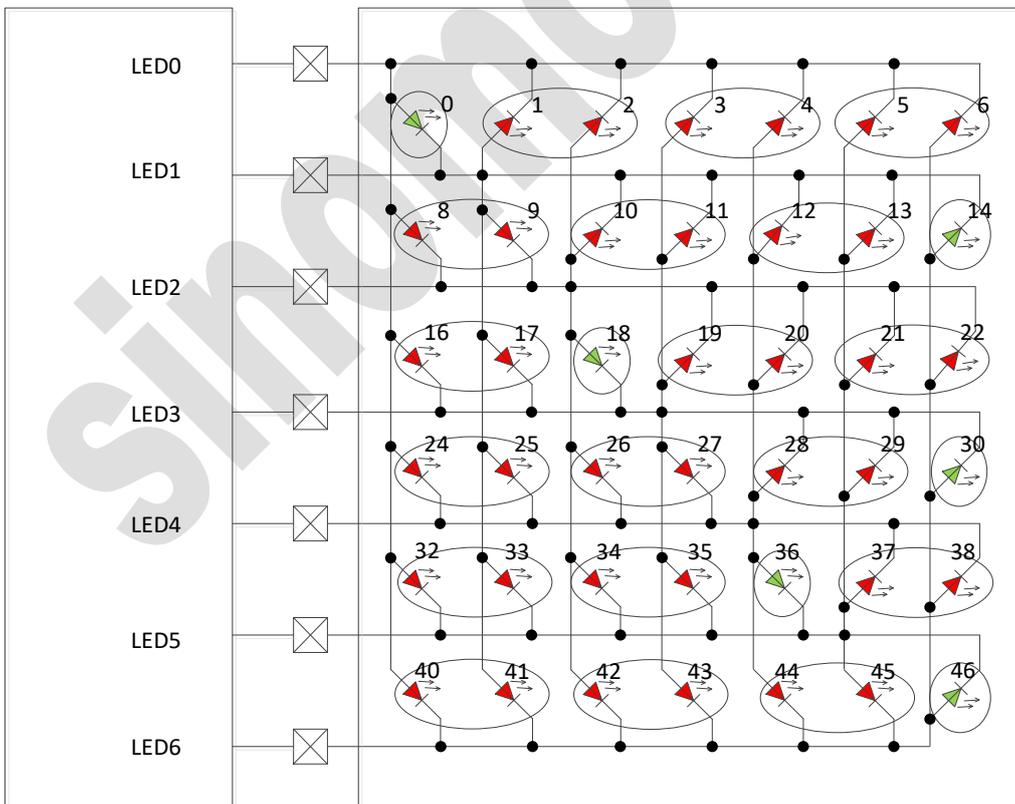




7x7 点阵

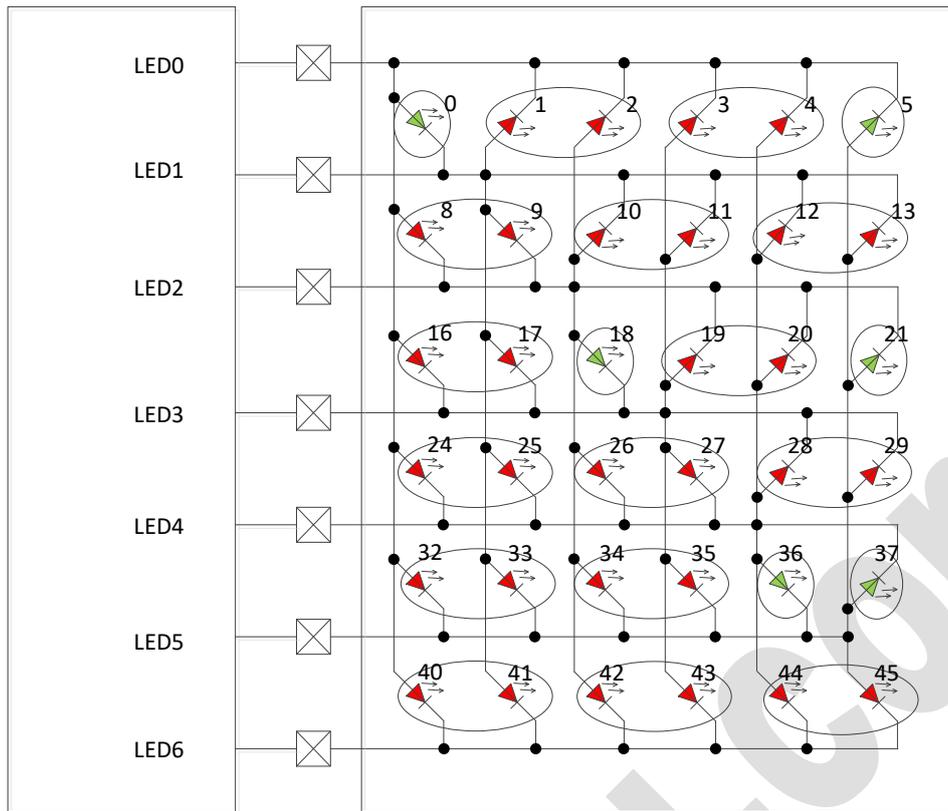


6x7 点阵

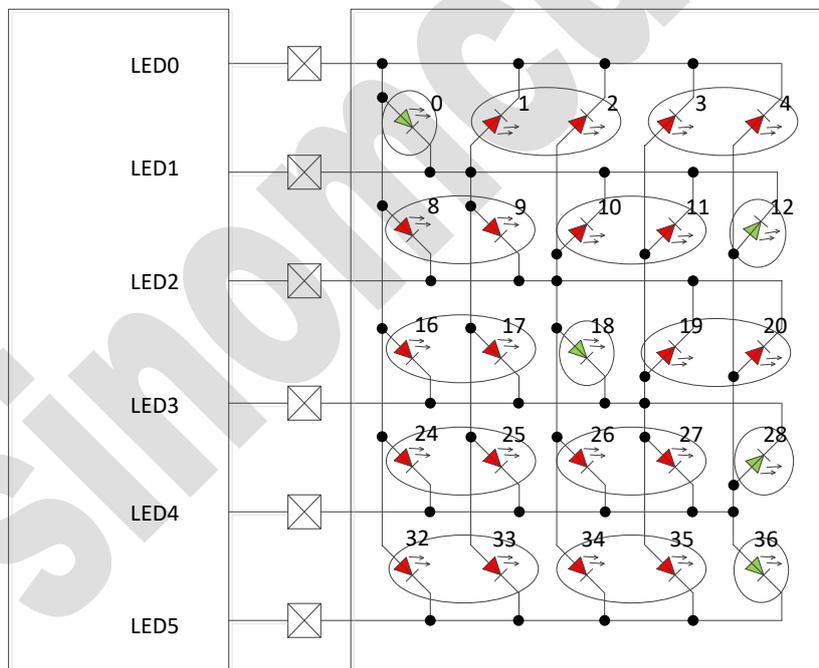




6x6 点阵

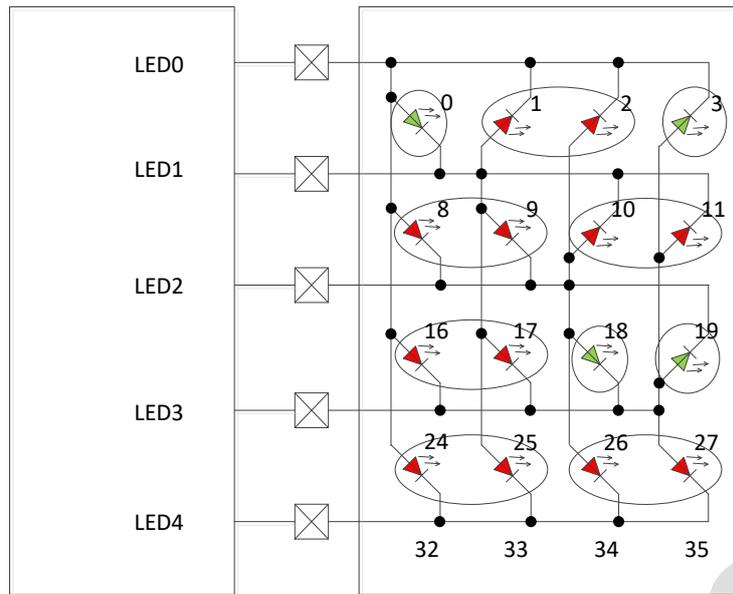


5x5 点阵



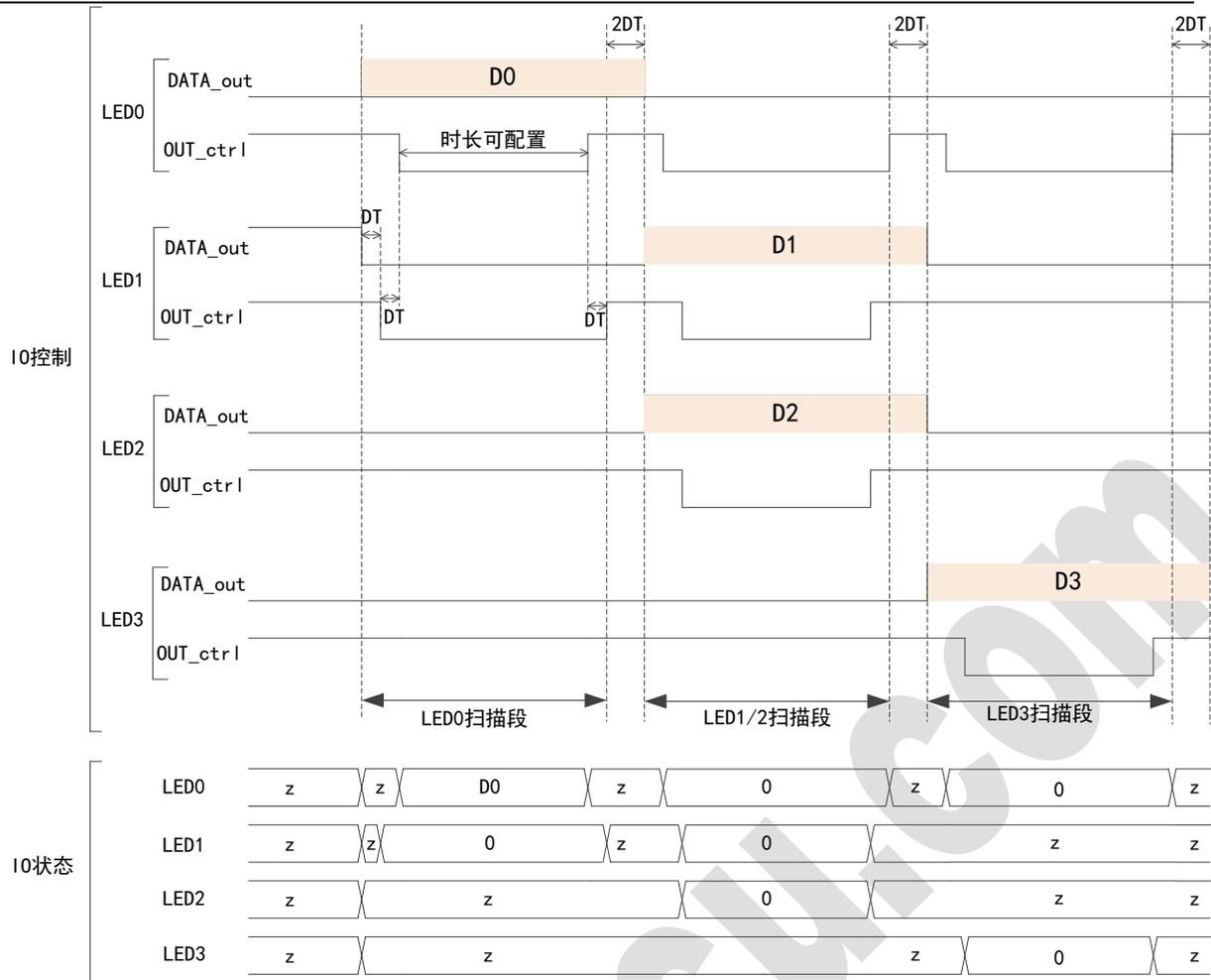


4x4 点阵



15.2.2 LED 扫描时序

以 4x4 点阵为例，IO 控制时序及 IO 状态输出如下：



DATA_out: 输出数据信号, 对应LEDx引脚

OUT_ctrl: 输出使能控制信号, 低电平有效, 对应LEDx引脚

DT: 死区, 1个DT为1us

LED 点阵扫描时间计算:

$$\text{扫描总时间 } T_{\text{total}} = (N_{g1} * T_{g1}) + (N_{g2} * T_{g2}) + ((N_{g1} + N_{g2}) * 5 * DT)$$

N_{g1} : 单 LED 组数

N_{g2} : 双 LED 组数

T_{g1} : 单 LED 组扫描时间, 当 $DxS = 0$, T_{g1} 为导通时间 0; 当 $DxS = 1$, T_{g1} 为导通时间 1;

T_{g2} : 双 LED 组扫描时间, 每个灯导通时间同上, 受 DxS 控制; 若双 LED 同时扫描, T_{g2} 导通时间由时间长的决定。

DT: 死区时间, 一个 DT 为 1us。

导通时间 0: 由寄存器 LEDCR1 控制;

导通时间 1: 由寄存器 LEDCR2 控制;

15.2.3 驱动电流控制

LED 驱动电流, 由 LED_IDRIVE 控制, 有 16 个档位供选择。

驱动电流参数见 15.3.4 章节。

LED 驱动电流配置建议小于 LED 标称 I_{fp} 电流, 所选择的 LED 应保证正向电压 V_F 一致。



15.3 LED 相关寄存器

LED 寄存器汇总表

地址 (SFRn/ H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /B3	LEDCR0	LED 控制寄存器 0	-	-	-	LEDMO D2	LEDMO D1	LEDMO D0	SCANM OD	COMM OD	---0 0000
SFR0 /B4	LEDCR1	LED 控制寄存器 1	TOWID TH7	TOWID TH6	TOWID TH5	TOWID TH4	TOWID TH3	TOWID TH2	TOWID TH1	TOWID TH0	0000 0000
SFR0 /B5	LEDCR2	LED 控制寄存器 2	T1WID TH7	T1WID TH6	T1WID TH5	T1WID TH4	T1WID TH3	T1WID TH2	T1WID TH1	T1WID TH0	0000 0000
SFR0 /B6	LEDDR0	LED 驱动配置寄存器	-	-	-	-	IDRIVE 3	IDRIVE 2	IDRIVE 1	IDRIVE 0	---- 0000
SFR0 /B7	LEDSTR	LED 使能寄存器	-	-	-	-	-	-	-	SCANE N	---- ---0
SFR0 /A9	IE1	中断使能寄存器 1	T2_WD TIE	LEDIE	TKIE	ADCIE	IICIE	EXT2IE	-	-	0000 00--
SFR0 /B1	IP1	中断优先级控制 1 低位寄存器	T2_WD TIPL	LEDIPL	TKIPL	ADCIPL	IICIPL	EXT2IP L	-	-	0000 00--
SFR0 /F1	INTIF1	中断标志寄存器 0	T2_WD TIF	LEDIF	TKIF	ADCIF	IICIF	EXT2IF	-	-	0000 00--
XRA M/20 0	LEDDAT 0	LED 显示地址	D7	D6	D5	D4	D3	D2	D1	D0	---- ----
XRA M/20 1	LEDDAT 1	LED 显示地址	D15	D14	D13	D12	D11	D10	D9	D8	---- ----
XRA M/20 2	LEDDAT 2	LED 显示地址	D23	D22	D21	D20	D19	D18	D17	D16	---- ----
XRA M/20 3	LEDDAT 3	LED 显示地址	D31	D30	D29	D28	D27	D26	D25	D24	---- ----
XRA M/20 4	LEDDAT 4	LED 显示地址	D39	D38	D37	D36	D35	D34	D33	D32	---- ----
XRA M/20 5	LEDDAT 5	LED 显示地址	D47	D46	D45	D44	D43	D42	D41	D40	---- ----
XRA M/20 6	LEDDAT 6	LED 显示地址	D55	D54	D53	D52	D51	D50	D49	D48	---- ----



XRAM/207	LEDDAT7	LED 显示地址	D63	D62	D61	D60	D59	D58	D57	D56	----
XRAM/208	LEDDAT S0	LED 显示时间选择	D7S	D6S	D5S	D4S	D3S	D2S	D1S	D0S	----
XRAM/209	LEDDAT S1	LED 显示时间选择	D15S	D14S	D13S	D12S	D11S	D10S	D9S	D8S	----
XRAM/20A	LEDDAT S2	LED 显示时间选择	D23S	D22S	D21S	D20S	D19S	D18S	D17S	D16S	----
XRAM/20B	LEDDAT S3	LED 显示时间选择	D31S	D30S	D29S	D28S	D27S	D26S	D25S	D24S	----
XRAM/20C	LEDDAT S4	LED 显示时间选择	D39S	D38S	D37S	D36S	D35S	D34S	D33S	D32S	----
XRAM/20D	LEDDAT S5	LED 显示时间选择	D47S	D46S	D45S	D44S	D43S	D42S	D41S	D40S	----
XRAM/20E	LEDDAT S6	LED 显示时间选择	D55S	D54S	D53S	D52S	D51S	D50S	D49S	D48S	----
XRAM/20F	LEDDAT S7	LED 显示时间选择	D63S	D62S	D61S	D60S	D59S	D58S	D57S	D56S	----

15.3.1 LED 控制寄存器 0 (LEDCR0,0xB3/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCR0	-	-	-	LEDMOD2	LEDMOD1	LEDMOD0	SCANMOD	P0ODM
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	0	0	0	0	0

BIT[4:2] LEDMOD[2:0]- LED 驱动点阵模式控制位

000: 无点阵;

001: 4x4 点阵 (LED0~4) ;

010: 5x5 点阵 (LED0~5) ;

011: 6x6 点阵 (LED0~6) ;

100: 6x7 点阵 (LED0~6) ;

101: 7x7 点阵 (LED0~7) ;

110: 7x8 点阵 (LED0~7) ;

111: 8x8 点阵 (LED0~8) ;



- BIT[1] SCANMOD- LED 扫描模式控制位
0: 中断扫描模式;
1: 循环扫描模式。
- BIT[0] P0ODM- 大电流口 (P0 端口) 控制位
0: 所有 P0 口大电流功能不锁定, 可配置为其他功能;
1: 所有 P0 口大电流功能锁定, 作为大电流口功能。

注: P0 口锁定大电流 IO 口时, 通过配置 GPIO 寄存器输出驱动时序, 它有效时, 所有 LED 扫描配置均无效。

15.3.2 LED 控制寄存器 1 (LEDCR1,0xB4/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCR1	T0WIDTH7	T0WIDTH6	T0WIDTH5	T0WIDTH4	T0WIDTH3	T0WIDTH2	T0WIDTH1	T0WIDTH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- BIT[7:0] T0WIDTH[7:0]- LED 驱动点阵模式导通时间 0 控制
导通时间 0 = (T0WIDTH[7:0]+1) * 16us, 调整范围 16us~4.096ms

15.3.3 LED 控制寄存器 2 (LEDCR2,0xB5/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCR2	T1WIDTH7	T1WIDTH6	T1WIDTH5	T1WIDTH4	T1WIDTH3	T1WIDTH2	T1WIDTH1	T1WIDTH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- BIT[7:0] T1WIDTH[7:0]- LED 驱动点阵模式导通时间 1 控制
导通时间 1 = (T1WIDTH[7:0]+1) * 16us, 调整范围 16us~4.096ms

15.3.4 LED 驱动配置寄存器 (LEDDRV,0xB6/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDDRV	-	-	-	-	IDRIVE3	IDRIVE2	IDRIVE1	IDRIVE0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

- BIT[3:0] IDRIVE[3:0]- LED 驱动电流控制
驱动电流参见 LED 驱动电流表, 调整范围约 4mA~70mA。

IDRIVE[3:0]	LED 驱动电 流 (mA)						
0000	4.3	0100	22.2	1000	38.6	1100	55.8
0001	8.5	0101	26.8	1001	44.7	1101	60.7
0010	13.6	0110	30.6	1010	47.1	1110	65.3
0011	17.0	0111	34.7	1011	51.5	1111	69.0

注: 常温, VDD=5V, LED 灯压降 1.8~2.3V。

15.3.5 中断使能寄存器 1 (IE1,0xA9/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	-------	-------	-------	-------	-------	-------	-------	-------



IE1	T2_WDTIE	LEDIE	TKIE	ADCIE	IICIE	EXT2IE	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

BIT[6] LEDIE – LED 中断使能位

0: 禁止 LED 中断;

1: 允许 LED 中断。

15.3.6 中断优先级控制 1 低位寄存器 (IP1,0xB1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	T2_WDTIP L	LEDIPL	TKIPL	ADCIPL	IICIPL	EXT2IPL	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

BIT[6] LEDIPL – LED 中断优先级控制位

0: 低优先级;

1: 高优先级

注：“高优先级中断”可以打断正在执行的“低优先级中断”，实现多层中断嵌套；在同一优先级情况下则按其“中断源列表”上的顺序排列。特别注意，一个中断产生后，若用户不进行处理，相同优先级的任何新中断将不会再产生。

15.3.7 中断标志寄存器 1 (INTIF1,0xF1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF1	T2_WDTIF	LEDIF	TKIF	ADCIF	IICIF	EXT2IF	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

BIT[6] LEDIF – LED 中断标志位

0: 未发生中断;

1: 发生中断。

15.3.8 LED 显示地址 (LEDDAT0~7,0x200~207/XRAM)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDDAT0	D7	D6	D5	D4	D3	D2	D1	D0
LEDDAT1	D15	D14	D13	D12	D11	D10	D9	D8
LEDDAT2	D23	D22	D21	D20	D19	D18	D17	D16
LEDDAT3	D31	D30	D29	D28	D27	D26	D25	D24
LEDDAT4	D39	D38	D37	D36	D35	D34	D33	D32
LEDDAT5	D47	D46	D45	D44	D43	D42	D41	D40
LEDDAT6	D55	D54	D53	D52	D51	D50	D49	D48
LEDDAT7	D63	D62	D61	D60	D59	D58	D57	D56
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	-	-	-	-	-



BIT[63:0] Dx- LED 点亮选择, x=0~63
 0: off
 1: on

注: 此区域在 xram 区, 默认值不确定。

15.3.9 LED 显示时间选择 (LEDDATS0~7,0x208~20F/XRAM)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDDATS0	D7S	D6S	D5S	D4S	D3S	D2S	D1S	D0S
LEDDATS1	D15S	D14S	D13S	D12S	D11S	D10S	D9S	D8S
LEDDATS2	D23S	D22S	D21S	D20S	D19S	D18S	D17S	D16S
LEDDATS3	D31S	D30S	D29S	D28S	D27S	D26S	D25S	D24S
LEDDATS4	D39S	D38S	D37S	D36S	D35S	D34S	D33S	D32S
LEDDATS5	D47S	D46S	D45S	D44S	D43S	D42S	D41S	D40S
LEDDATS6	D55S	D54S	D53S	D52S	D51S	D50S	D49S	D48S
LEDDATS7	D63S	D62S	D61S	D60S	D59S	D58S	D57S	D56S
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	-	-	-	-	-	-

BIT[63:0] DxS- LED 导通时间选择, x=0~63
 0: 选择导通时间 0, 由 LEDCR1 寄存器控制
 1: 选择导通时间 1, 由 LEDCR2 寄存器控制

注: 此区域在 xram 区, 默认值不确定。



16 中断

芯片的中断包括外部中断（INT0、INT1、INT2，每个有 8 个通道）、定时器中断（T0、T1、T2）、串口中断（UART0、UART1）、IIC 中断、SPI 中断、ADC 转换中断、LVD 中断、TK 中断、LED 中断共 14 个可用中断源，分为 2 个中断优先级。

每个中断均具有独立的中断标志位，中断使能位、中断向量和优先级设置位，还可以通过 1 个全局中断使能位将所有中断同时禁止。

16.1 中断源列表

芯片的中断源及其中断向量、相关控制位等列表如下：

中断源	触发条件	中断标志	中断使能位	优先级设置位	中断向量	中断号 (C51)	查询优先级	中断标志清除方式	停止模式唤醒
Reset	-	-	-	-	0000H	-	0(最高)	-	Yes
INT0X	上升沿/下降沿/双沿	EXT0IF	EXT0IE	EXT0IP	0003H	0	1	硬件清除	Yes
T0	T0 溢出	TF0	T0IE	T0IP	000BH	1	2	硬件清除	No
INT1X	上升沿/下降沿/双沿	EXT1IF	EXT1IE	EXT1IP	0013H	2	3	硬件清除	Yes
T1	T1 溢出	TF1	T1IE	T1IP	001BH	3	4	硬件清除	No
INT2X	上升沿/下降沿/双沿	EXT2IF	EXT2IE	EXT2IP	004BH	9	5	硬件清除	Yes
IIC	IIC 收/发完成	IICIF	IICIE	IICIP	0053H	10	6	软件清除	Yes
ADC	ADC 转换完成	ADCIF	ADCIE	ADCIP	005BH	11	7	硬件清除	No
TK	TK 溢出	TKIF	TKIE	TKIP	0063H	12	8	硬件清除	No
LED	LED 扫描完成	LEDIF	LEDIE	LEDIP	006BH	13	9	硬件清除	No
T2/WDT	T2 溢出/WDT 溢出	TF2_WDTIF	T2_WDTIE	T2_WDTIP	0073H	14	10	软件清除	Yes
LVD	LVD 触发	LVDIF	LVDIE	LVDIP	007BH	15	11	硬件清除	No
UART0	UART0 收/发完成	UART0IF+RI0/TI0	UART0IE	UART0IP	0083H	16	12	软件清除	No
UART1	UART1 收/发完成	UART1IF+RI1/TI1	UART1IE	UART1IP	008BH	17	13	软件清除	No
SPI	SPI 收发完成/模式故障	SPIIF/SSDIS=0 且 MODF=1	SPIIE	SPIIP	002BH	18	14	软件清除	No

注 1: T2 和 WDT, 复用同一个中断源。

注 2: 上表中中断标志清除方式为硬件清除, 指对应的中断使能开启后, 硬件自动清除中断标志, 中断服务程序无需判断标志和清除标志, 直接执行服务程序。若中断使能关闭, 使用主程序轮询方式处理中断标志并执行软件清除操作。



16.2 中断优先级

芯片的中断具有 2 个中断优先级，中断源的中断请求可设定为高优先级或低优先级，通过优先级的设定可实现中断服务程序的 4 级嵌套。

低优先级的中断服务程序能被高优先级请求所中断，反之则不行；中断服务程序不能被同一级的中断请求所中断。当多个同一优先级的中断同时产生中断请求时，根据预定的查询优先级顺序响应。

16.3 中断处理流程

当一个中断产生并且被芯片响应，则主程序运行被中断，将执行下述操作：

1. 当前正在执行的指令执行完；
2. PC 值被压入堆栈，保护现场；
3. 中断向量地址载入程序计数器 PC；
4. 执行相应的中断服务程序；
5. 中断服务程序结束并 RETI；
6. 将 PC 值出栈，并返回执行中断前的程序继续执行。

在此过程中，系统不会立即执行其它同一优先级的中断，但会保留所发生的中断请求，在当前中断处理结束后，再执行一条指令，之后转去执行新的中断请求。

当用户开启优先级中断，高优先级中断可以打断低优先级的中断，本芯片可以实现 2 级中断嵌套。

16.4 外部中断

3 个外部中断源 INT0/INT1/INT2，每个中断源分别有 8 路外部输入，分别对应端口 P0/P1/P2。用户可以通过 EXT0_IOS/EXT1_IOS/EXT2_IOS 寄存器灵活地在对应 PORT 口的 8 个 pin 中选择一个端口作为输入。

外部中断为边沿触发，配置控制位 EXTnPOL[1:0] (n=0-2) 选择不同的触发沿（上升沿/下降沿/双沿）。用户可以通过 EXTnIOS(n=0-2) 寄存器灵活地在每个外部中断的 8 个通道中选择一个端口作为输入。

若设置触发沿为下降沿，一个周期内引脚输入连续采样为高电平，下个周期采样为低电平，则对应中断标志置起，发出中断请求；若多个中断请求同时发生，同一个中断源只响应一个中断请求，用户可以在中断处理程序中通过读取 IO 状态进行通道判断区分；中断使能开启后，中断标志硬件清零；中断使能关闭后，需要软件清零。

注：为了确保边缘触发型的中断被检测到，相应的端口要首先保持 2 个时钟的高电平，然后保持 2 个时钟的低电平。

16.5 中断相关寄存器

中断寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位 值 (B)
SFR0 /A1	IE2	中断使能寄存器 2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE	---- 0000
SFR0 /A9	IE1	中断使能寄存器 1	T2_WD TIE	LEDIE	TKIE	ADCIE	IICIE	EXT2IE	-	-	0000 00--
SFR0 /A8	IE	中断使能寄存器	EA	-	-	-	T1IE	EXT1IE	TOIE	EXT0IE	0000 0000
SFR0	IP2	中断优先级控	-	-	-	-	SPIIPL	UART1I	UART0I	LVDIPL	----



/B2		制 2 低位寄存器						PL	PL		0000
SFR0 /B1	IP1	中断优先级控制 1 低位寄存器	T2_WD TIPL	LEDIPL	TKIPL	ADCIPL	IICIPL	EXT2IPL	-	-	0000 00--
SFR0 /B8	IP	中断优先级控制低位寄存器	-	-	-	-	T1IPL	EXT1IPL	TOIPL	EXT0IPL	---- 0000
SFR0 /F2	INTIF2	中断标志寄存器 1	-	-	-	-	SPIIF	UART1IF	UART0IF	LVDIF	---- 0000
SFR0 /F1	INTIF1	中断标志寄存器 0	T2_WD TIF	LEDIF	TKIF	ADCIF	IICIF	EXT2IF	-	-	0000 00--
SFR0 /88	TCON	定时器控制寄存器	TF1	TR1	TF0	TR0	EXT1IF	-	EXT0IF	-	0000 -1-1
SFR0 /F3	EXTICR	外部中断控制寄存器	-	-	EXT2P OL1	EXT2P OL0	EXT1P OL1	EXT1P OL0	EXT0P OL1	EXT0P OL0	--01 0101
SFR0 /F4	EXT0IOS	外部中断 0 IO 选择寄存器	EXT0E N7	EXT0E N6	EXT0E N5	EXT0E N4	EXT0E N3	EXT0E N2	EXT0E N1	EXT0E N0	0000 0000
SFR0 /F5	EXT1IOS	外部中断 1 IO 选择寄存器	EXT1E N7	EXT1E N6	EXT1E N5	EXT1E N4	EXT1E N3	EXT1E N2	EXT1E N1	EXT1E N0	0000 0000
SFR0 /F6	EXT2IOS	外部中断 2 IO 选择寄存器	EXT2E N7	EXT2E N6	EXT2E N5	EXT2E N4	EXT2E N3	EXT2E N2	EXT2E N1	EXT2E N0	0000 0000

16.5.1 中断使能寄存器 (IE,0xA8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	-	-	-	T1IE	EXT1IE	TOIE	EXT0IE
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
复位值	0	-	-	-	0	0	0	0

- BIT[7] EA – 总中断使能位
0: 关闭所有中断;
1: 打开中断, 但具体中断使能控制由相应的控制位决定。
- BIT[3] T1IE – T1 中断使能位
0: 关闭 T1 中断;
1: 打开 T1 中断。
- BIT[2] EXT1IE – INT1 中断使能位
0: 关闭 INT1 中断;
1: 打开 INT1 中断。
- BIT[1] TOIE – T0 中断使能位
0: 关闭 T0 中断;
1: 打开 T0 中断。
- BIT[0] EXT0IE – INT0 中断使能位
0: 关闭 INT0 中断;
1: 打开 INT0 中断。

**16.5.2 中断使能寄存器 1 (IE1,0xA9/SFR0)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE1	T2_WDTIE	LEDIE	TKIE	ADCIE	IICIE	EXT2IE	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

BIT[7] T2_WDTIE – T2/WDT 中断使能位
 0: 关闭 T2/WDT 中断;
 1: 打开 T2/WDT 中断。

注: T2 和 WDT 模块共享同一个中断源。

BIT[6] LEDIE – LED 中断使能位
 0: 禁止 LED 中断;
 1: 允许 LED 中断。

BIT[5] TKIE – TK 中断使能位
 0: 禁止 TK 中断;
 1: 打开 TK 中断。

BIT[4] ADCIE – ADC 中断使能位
 0: 关闭 ADC 中断;
 1: 打开 ADC 中断。

BIT[3] IICIE – IIC 总中断使能位
 0: 禁止 IIC 总中断;
 1: 打开 IIC 总中断

BIT[2] EXT2IE – INT2 中断使能位
 0: 关闭 INT2 中断;
 1: 打开 INT2 中断。

16.5.3 中断使能寄存器 2 (IE2,0xA1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE2	-	-	-	-	SPIIE	UART1IE	UART0IE	LVDIE
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] SPIIE – SPI 中断允许控制位
 0: 禁止 SPI 中断;
 1: 允许 SPI 中断, 当标志位 SPIIF=1 直接产生正常中断或者 SSDIS=0 且 MODF=1 时将产生 SPI 错误中
 断。

BIT[2] UART1IE – UART1 中断使能位
 0: 关闭 UART1 中断;
 1: 打开 UART1 中断。

BIT[1] UART0IE – UART0 中断使能位
 0: 关闭 UART0 中断;
 1: 打开 UART0 中断。



BIT[0] LVDIE – LVD 中断使能位
 0: 关闭 LVD 中断;
 1: 打开 LVD 中断。

16.5.4 中断优先级控制低位寄存器 (IP,0xB8/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	-	-	-	-	T1IPL	EXT1IPL	T0IPL	EXT0IPL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

16.5.5 中断优先级控制 1 低位寄存器 (IP1,0xB1/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	T2_WDTIPL	LEDIPL	TKIPL	ADCIPL	IICIPL	EXT2IPL	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

16.5.6 中断优先级控制 2 低位寄存器 (IP2,0xB2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP2	-	-	-	-	SPIIPL	UART1IPL	UART0IPL	LVDIPL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

优先级等级配置对照表

IP/IP1/IP2	中断优先级等级
0	等级 0 (低)
1	等级 1 (高)

注：“高优先级中断”可以打断正在执行的“低优先级中断”，实现多层中断嵌套；在同一优先级情况下则按其“中断源列表”上的顺序排列。特别注意，一个中断产生后，若用户不进行处理，相同优先级的任何新中断将不会再产生。

16.5.7 定时器控制寄存器 (TCON,0x88/SFR0)

SBIT 寄存器	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	EXT1IF	-	EXT0IF	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	1	0	1

BIT[7、5] TF_x – 定时器 Tx 溢出标志位 (x=1,0)

- 0: 定时器 Tx 无溢出，可由软件清 0;
- 1: 定时器 Tx 溢出时，由硬件置 1。

BIT[3、1] EXT_xIF – 外部中断 x (x=1,0) 标志位，硬件置 1，可由软件清 0

- 0: 未发生中断;
- 1: 发生中断。

**16.5.8 中断标志寄存器 1 (INTIF1,0xF1/SFR0)**

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF1	T2_WDTIF	LEDIF	TKIF	ADCIF	IICIF	EXT2IF	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
复位值	0	0	0	0	0	0	-	-

BIT[7] T2_WDTIF – T2/WDT 中断标志位

0: 未发生中断;

1: 发生中断。

注: 该中断源可同时受 TF2 和 WDTIF 两个中断标志位影响, 任一中断标志置起, 都会置位 T2_WDTIF 标志。

BIT[6] LEDIF – LED 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[5] TKIF – TK 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[4] ADCIF – ADC 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[3] IICIF – IIC 总中断标志位

0: 未发生中断;

1: 发生中断。

BIT[2] EXT2IF – INT2 中断标志位

0: 未发生中断;

1: 发生中断。

16.5.9 中断标志寄存器 2 (INTIF2,0xF2/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTIF2	-	-	-	-	SPIIF	UART1IF	UART0IF	LVDIF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
复位值	-	-	-	-	0	0	0	0

BIT[3] SPIIF – SPI 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[2] UART1IF – UART1 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[1] UART0IF – UART0 中断标志位

0: 未发生中断;

1: 发生中断。

BIT[0] LVDIF – LVD 中断标志位



0: 未发生中断;

1: 发生中断。

16.5.10 外部中断控制寄存器 (EXTICR,0xF3/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXTICR	-	-	EXT2POL1	EXT2POL0	EXT1POL1	EXT1POL0	EXT0POL1	EXT0POL0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复位值	-	-	0	0	0	0	0	0

BIT[5:4][3:2][1:0] EXTnPOL[1:0]– 外部中断 x 触发极性控制 (n=0,1,2)

01: 下降沿; stop 模式下低电平唤醒;

10: 上升沿; stop 模式下高电平唤醒;

00/11: 双沿; stop 模式下高低电平唤醒;

16.5.11 外部中断 0 IO 选择寄存器 (EXT0IOS,0xF4/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXT0IOS	EXT0EN7	EXT0EN6	EXT0EN5	EXT0EN4	EXT0EN3	EXT0EN2	EXT0EN1	EXT0EN0
R/W								
复位值	0	0	0	0	0	0	0	0

16.5.12 外部中断 1 IO 选择寄存器 (EXT1IOS,0xF5/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXT1IOS	EXT1EN7	EXT1EN6	EXT1EN5	EXT1EN4	EXT1EN3	EXT1EN2	EXT1EN1	EXT1EN0
R/W								
复位值	0	0	0	0	0	0	0	0

16.5.13 外部中断 2 IO 选择寄存器 (EXT2IOS,0xF6/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXT2IOS	EXT2EN7	EXT2EN6	EXT2EN5	EXT2EN4	EXT2EN3	EXT2EN2	EXT2EN1	EXT2EN0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7~0] EXTnENm (n=0~2; m=0~7) – 外部中断 INTn (n=0~2) 端口 Pnm 使能位

0: 禁止 INTn 对应某一路端口 Pnm 的外部中断接入, 端口用于通用 IO 或其他复用模块;

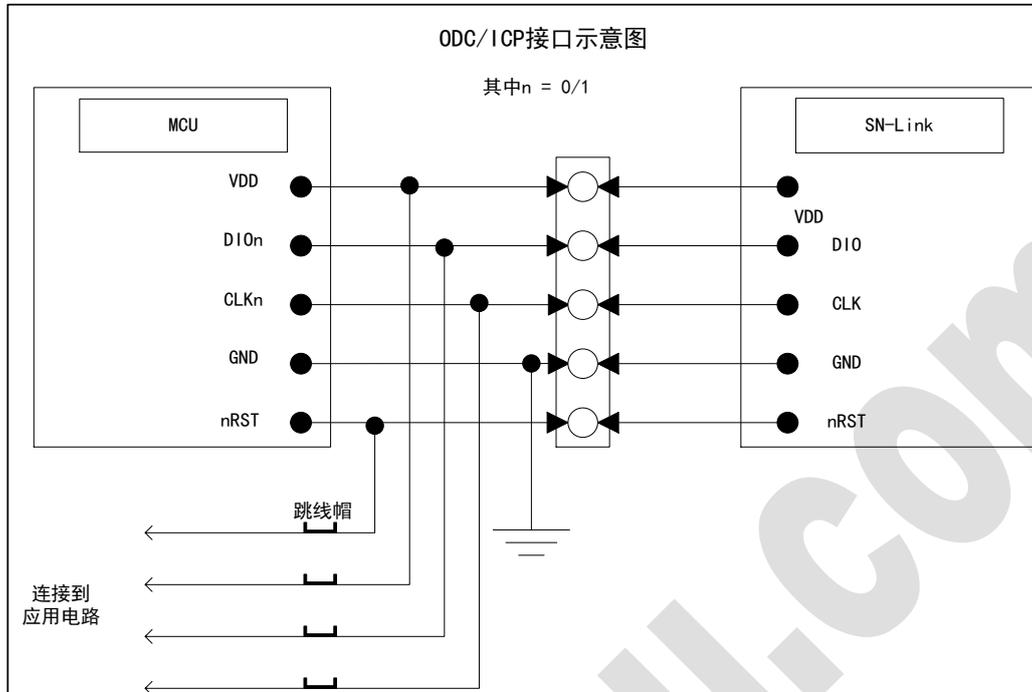
1: 使能 INTn 对应某一路端口 Pnm 的外部中断接入, 端口作为外部中断输入用。

举例: EXT1EN6=1, 则 P16 端口接入外部中断 INT1, P16 作为外部中断使用。

注: 3 个外部中断源 INT0/INT1/INT2, 每个中断源分别有 8 路外部输入, 分别对应端口 P0/P1/P2。

17 片上调试OCD和在电路编程ICP接口

本芯片芯片内嵌片上调试（OCD）功能，这为用户提供了低成本的调试方法，提供一组 2 线调试/烧写接口电路。



片上调试 OCD 和在电路编程 ICP 接口整理

名称	对应 PIN	要求
电源正	VDD	必须
DIO	P3.0	必须
CLK	P3.1	
电源负	GND	必须



18 IAP（片上编程）

片上 EEPROM-LIKE 数据存储器，支持用户程序在带电工作中实时地读出或写入数据。当然，用户也可以通过相关的工具，由外部直接操作。在读数据时，利用 MOVC 指令间接寻址；而写入数据时，通过操作地址寄存器 IAPADR、数据寄存器 IAPDAT 以及命令寄存器 IAPCMD 进行。

EEPROM-LIKE 存储器，执行擦除操作后，数据 bit 由 0 变为 1；若要修改数据 bit 由 1 变 0，必须执行擦除动作。

EEPROM-LIKE 有 1K 字节共 2 页，每页 512bytes，支持页擦除/字节烧写操作，不支持字节擦除。

注：FLASH 空间不支持 IAP 操作。

18.1 IAP 相关寄存器

IAP 操作寄存器汇总表

地址 (SFR n/H)	寄存器名	定义	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	复位值 (B)
SFR0 /F9	IAPTIM	IAP 控制寄存器	WRTIM2	WRTIM1	WRTIM0	ERTIM4	ERTIM3	ERTIM2	ERTIM1	ERTIM0	01011010
SFR0 /FA	IAPDB	IAP 数据寄存器	IAPDB7	IAPDB6	IAPDB5	IAPDB4	IAPDB3	IAPDB2	IAPDB1	IAPDB0	00000000
SFR0 /FB	IAPMD	IAP 模式寄存器	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0	00000000
SFR0 /FC	IAPADL	IAP 低地址寄存器	IAPAD7	IAPAD6	IAPAD5	IAPAD4	IAPAD3	IAPAD2	IAPAD1	IAPAD0	00000000
SFR0 /FD	IAPADH	IAP 高地址寄存器	-	-	-	-	-	PAGES	-	IAPAD8	---- -0-0

18.1.1 IAP 控制寄存器 (IAPTIM,0xF9/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPTIM	WRTIM2	WRTIM1	WRTIM0	ERTIM4	ERTIM3	ERTIM2	ERTIM1	ERTIM0
R/W								
复位值	0	1	0	1	1	0	1	0

BIT[7:5] WRTIM[2:0]- 配置为默认值。

BIT[4:0] ERTIM[4:0]-配置为默认值

18.1.2 IAP 数据寄存器 (IAPDB,0xFA/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPDB	IAPDB7	IAPDB6	IAPDB5	IAPDB4	IAPDB3	IAPDB2	IAPDB1	IAPDB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

BIT[7:0] IAPDB[7:0] - IAP 写入数据。



18.1.3 IAP 模式寄存器 (IAPMD,0xFB/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPMD	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[7:0] MD[7:0] – IAP 模式
 0x96: 执行页擦除;
 0x69: 执行字节写入;
 其他: 无效。

18.1.4 IAP 低地址寄存器 (IAPADL,0xFC/SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPADL	IAPAD7	IAPAD6	IAPAD5	IAPAD4	IAPAD3	IAPAD2	IAPAD1	IAPAD0
R/W								
复位值	0	0	0	0	0	0	0	0

BIT[3:0] IAPAD[7:0] – IAP 写入地址的低 8 位。

18.1.5 IAP 高地址寄存器 (IAPADH,0xFD,SFR0)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPADH	-	-	-	-	-	PAGES	-	IAPAD8
R/W	-	-	-	-	-	R/W	-	R/W
复位值	-	-	-	-	-	0	-	0

BIT[2] PAGES – EEPROM-LIKE page 选择。
 0: 选择 PAGE 0(512bytes):0xC400~0xC5FF;
 1: 选择 PAGE 1(512bytes):0xC600~0xC7FF;

BIT[0] IAPAD[8] – IAP 写入地址的第 8 位。

18.2 IAP 操作标准流程

18.2.1 EEPROM-LIKE 读取

标准操作流程, 如下:

- (1) 首先, 关闭中断; 若使用看门狗的话, 必须将看门狗溢出时间调整到足够大;
- (2) 用 MOV_C 指令读取对应的 EEPROM-LIKE 地址, 若需要可以重复操作多次;
- (3) 完成后, 退出本次 IAP 操作, 打开中断; 若使用看门狗的话, 复原看门狗溢出时间。

18.2.2 EEPROM-LIKE 页擦除

标准操作流程, 如下:

- (1) 首先, 关闭中断; 若使用看门狗的话, 必须将看门狗溢出时间调整到足够大;
- (2) 配置 IAPT_{IM} 为默认值;
- (3) 向 IAPAD_L 中写入 0x00;
- (4) 配置 IAPAD_H 的 PAGES 选择擦除的页, IAPAD₈ 写入 0;
- (5) 向 IAPMD 中写入 0x96;



- (6) 4 个 NOP 指令；
- (7) 开始擦除，CPU 停止，完成擦除后继续运行；
- (8) 若继续擦除跳至第 3 步；
- (9) 完成后，IAPADL=0x00，IAPADH=0x00，退出本次 IAP 操作，恢复中断；若使用看门狗的话，复原看门狗溢出时间。

18.2.3 EEPROM-LIKE 字节写入 (1 字节)

标准操作流程，如下：

- (1) 首先，关闭中断；若使用看门狗的话，必须将看门狗溢出时间调整到足够大；
- (2) 配置 IAPTIM 为默认值；
- (3) 向 IAPADL 中写入目标操作字节地址的低 8 位；
- (4) 配置 IAPADH 的 PAGES 选择待写字节所在的页，IAPAD8 写入目标操作字节地址的第 8 位；
- (5) 向 IAPDB 写入待写数据；
- (6) 向 IAPMD 中写入 0x69；
- (7) 4 个 NOP 指令；
- (8) 开始字节写入，CPU 停止，完成后继续运行；
- (9) 若继续写入跳至第 3 步；
- (10) 完成后，IAPADL=0x00，IAPADH=0x00，退出本次 IAP 操作，恢复中断；若使用看门狗的话，复原看门狗溢出时间。

18.3 ICP、IAP 和 ISP

ICP：

通过 JTAG 进入 ctrl 模式，再进入烧写模式

操作地址：0000H~3FFFH，访问 16k 的 flash 空间，以及 EEPROM-LIKE 和 info 区域；

实现方式：通过仿真器或烧写器，根据用户设置区域（main flash 或 EEPROM-like）直接烧写入。

IAP：

通过片上的 IAP 模块及对应的 IAP 命令操作方式，配合用户代码实现指定区域 rom 擦写（本芯片仅支持 EEPROM-LIKE 区操作）；

ISP：

通过启动控制，借助 pc 端软件与 MCU 通讯接口连接，并传输代码至 bootloader 区，bootloader 为用户开发的应用代码，调用 IAP 模块和通讯接口，实现 main flash 区代码升级。

18.4 应用注意

- 1、在仿真状态下，读保护配置字选项必须选择关闭；当读保护关闭状态，[DIO]和[CLK]引脚只能作为仿真/烧写功能，GPIO 及其他复用功能关闭；当读保护开启状态，[DIO]和[CLK]引脚的仿真/烧写功能关闭，GPIO 及其他复用功能有效；
- 2、读保护选项配置仅在仿真调试界面支持配置；烧写器固定选择读保护开启，不支持配置。



19 附录

19.1 指令集总览表

助记符	说明	长度(B)	周期(T)
ADD A,Rn	寄存器 Rn 和累加器 ACC 相加, 结果存到 ACC	1	2
ADD A, direct	直接寻址字节和累加器 ACC 相加, 结果存到 ACC	2	2
ADD A, @Ri	内部 RAM Ri 和累加器 ACC 相加, 结果存到 ACC	1	3
ADD A, #data	立即数和累加器 ACC 相加, 结果存到 ACC	2	1
ADDC A,Rn	寄存器 Rn 和累加器 ACC 相加 (带 C 标志), 结果存到 ACC	1	2
ADDC A, direct	直接寻址字节和累加器 ACC 相加 (带 C 标志), 结果存到 ACC	2	2
ADDC A, @Ri	内部 RAM Ri 和累加器 ACC 相加 (带 C 标志), 结果存到 ACC	1	2
ADDC A, #data	立即数和累加器 ACC 相加 (带 C 标志), 结果存到 ACC	2	1
SUBB A,Rn	累加器 ACC 减寄存器 Rn (带 C 标志), 结果存到 ACC	1	1
SUBB A, direct	累加器 ACC 减直接寻址字节 (带 C 标志), 结果存到 ACC	2	2
SUBB A, @Ri	累加器 ACC 减内部 RAM Ri (带 C 标志), 结果存到 ACC	1	3
SUBB A, #data	累加器 ACC 减立即数 (带 C 标志), 结果存到 ACC	2	1
INCA	累加器 ACC 加 1, 结果存到 ACC	1	1
INC Rn	寄存器 Rn 加 1, 结果存到 Rn	1	2
INC direct	直接寻址字节加 1, 结果存到直接选址字节	2	2
INC @Ri	内部 RAM Ri 加 1, 结果存到 Ri	1	3
INC DPTR	数据指针 DPTR 加 1, 结果存到 DPTR	1	1
DEC A	累加器 ACC 自减 1, 结果存到 ACC	1	1
DEC Rn	寄存器 Rn 自减 1, 结果存到 Rn	1	2
DEC direct	直接寻址字节减 1, 结果存到直接选址字节	2	2
DEC @Ri	内部 RAM Ri 减 1, 结果存到 Ri	1	3
MUL AB 8 X 8	累加器 ACC 乘寄存器 B	1	2
16 X 8			-
DIV AB 8 / 8	累加器 ACC 除寄存器 B	1	2
16 / 8			-
DAA	BCD 码调整	1	1
ANL A, Rn	累加器 ACC 与寄存器 Rn, 结果存到 ACC	1	2



ANL A, direct	累加器 ACC 与直接寻址字节, 结果存到 ACC	2	2
ANL A, @Ri	累加器 ACC 与内部 RAM Ri, 结果存到 ACC	1	3
ANL A, #data	累加器 ACC 与立即数, 结果存到 ACC	2	1
ANL direct, A	直接寻址字节与累加器 ACC, 结果存到直接寻址字节	2	2
ANL direct, #data	直接寻址字节与立即数, 结果存到直接寻址字节	3	2
ORL A, Rn	累加器 ACC 或寄存器 Rn, 结果存到 ACC	1	2
ORL A, direct	累加器 ACC 直接寻址字节, 结果存到 ACC	2	2
ORL A, @Ri	累加器 ACC 或内部 RAM Ri, 结果存到 ACC	1	3
ORL A, #data	累加器 ACC 或立即数, 结果存到 ACC	2	1
ORL direct, A	直接寻址字节或累加器 ACC, 结果存到直接寻址字节	2	2
ORL direct, #data	直接寻址字节或立即数, 结果存到直接寻址字节	3	2
XRL A, Rn	累加器 ACC 异或寄存器 Rn, 结果存到 ACC	1	2
XRL A, direct	累加器 ACC 直接寻址字节, 结果存到 ACC	2	2
XRL A, @Ri	累加器 ACC 异或内部 RAM Ri, 结果存到 ACC	1	3
XRL A, #data	累加器 ACC 异或立即数, 结果存到 ACC	2	1
XRL direct, A	直接寻址字节异或累加器 ACC, 结果存到直接寻址字节	2	2
XRL direct, #data	直接寻址字节异或立即数, 结果存到直接寻址字节	3	2
CLR A	对 ACC 清零	1	1
CPL A	对 ACC 取反	1	1
RL A	累加器 ACC 循环左移	1	1
RLC A	累加器 ACC 循环左移 (带 C 标志)	1	1
RR A	累加器 ACC 循环右移	1	1
RRC A	累加器 ACC 循环右移 (带 C 标志)	1	1
SWAP A	交换累加器 ACC 的高低半字节, 结果存到 ACC	1	1
MOV A, Rn	将寄存器 Rn 送到累加器 ACC	1	1
MOV A, direct	将直接寻址字节送到累加器 ACC	2	1
MOV A, @Ri	将内部 RAM Ri 送到累加器 ACC	1	2
MOV A, #data	将立即数送到累加器 ACC	2	1
MOV Rn, A	将累加器 ACC 送到寄存器 Rn	1	1
MOV Rn, direct	将直接寻址直接送到寄存器 Rn	2	2
MOV Rn, #data	将立即数送到寄存器 Rn	2	1
MOV direct, A	将累加器 ACC 送到直接寻址字节	2	1
MOV direct, Rn	将寄存器 Rn 送到直接寻址字节	2	2
MOV direct1, direct2	将直接寻址字节 2 送到直接寻址字节 1	3	2
MOV direct, @Ri	将内部 RAM Ri 送到直接寻址字节	2	3
MOV direct, #data	将立即数送到直接寻址字节	3	1
MOV @Ri, A	将累加器 ACC 送到内部 RAM Ri	1	2
MOV @Ri, direct	将直接寻址字节送到内部 RAM Ri	2	3



MOV @Ri, #data	将立即数送到内部 RAM Ri	2	2
MOV DPTR, #data16	将 16 位立即数送到数据指针	3	1
MOVC A, @A+DPTR	将代码程序送到累加器 ACC (相对数据指针)	1	2
MOVC A, @A+PC	将代码程序送到累加器 ACC (相对程序计数器)	1	2
MOVX A, @Ri	通过内部 RAM Ri 将 8 位外存送到累加器 ACC	1	2
MOVX A, @DPTR	通过数据指针 DPTR 将 16 位外存送到累加器 ACC	1	1
MOVX @Ri, A	通过内部 RAM Ri 将累加器 ACC 送到 8 位外存	1	2
MOVX @DPTR, A	通过数据指针 DPTR 将累加器 ACC 送到 16 位外存	1	1
PUSH direct	直接寻址字节压入栈顶	2	2
POP direct	栈顶弹至直接寻址字节	2	2
XCH A, Rn	累加器 ACC 与寄存器 Rn 交换	1	2
XCH A, direct	累加器 ACC 与直接寻址字节交换	2	2
XCH A, @Ri	累加器 ACC 与内部 RAM Ri 交换	1	3
XCHD A, @Ri	累加器 ACC 低 4 位与内部 RAM Ri 低 4 位交换	1	3
ACALL addr11	2KB 内绝对调用	2	2
LCALL addr16	64KB 内长调用	3	1
RET	子程序返回	1	3
RETI	中断返回	1	3
AJMP addr11	2KB 内绝对转移	2	1
LJMP addr16	64KB 内长转移	3	5
SJMP rel	相对短转移	2	1
JMP @A+DPTR	相对长转移	1	2
JZ rel (不发生转移) (发生转移)	累加器为零转移	2	2 2
JNZ rel (不发生转移) (发生转移)	累加器为非零转移	2	2 2
JC rel (不发生转移) (发生转移)	C 置位转移	2	2 2
JNC rel (不发生转移) (发生转移)	C 清零转移	2	2 2
JB bit, rel(不发生转移) (发生转移)	直接寻址位置位转移	3	2 2
JNB bit, rel (不发生转移) (发生转移)	直接寻址位清零转移	3	2 2
JBC bit, rel (不发生转移) (发生转移)	直接寻址位置位转移并清该位	3	2 2
CJNE A, direct, rel (不发生转移) (发生转移)	累加器与直接寻址字节不等转移	3	2 2
CJNE A, #data, rel (不发生转移)	累加器与立即数不等转移	3	2

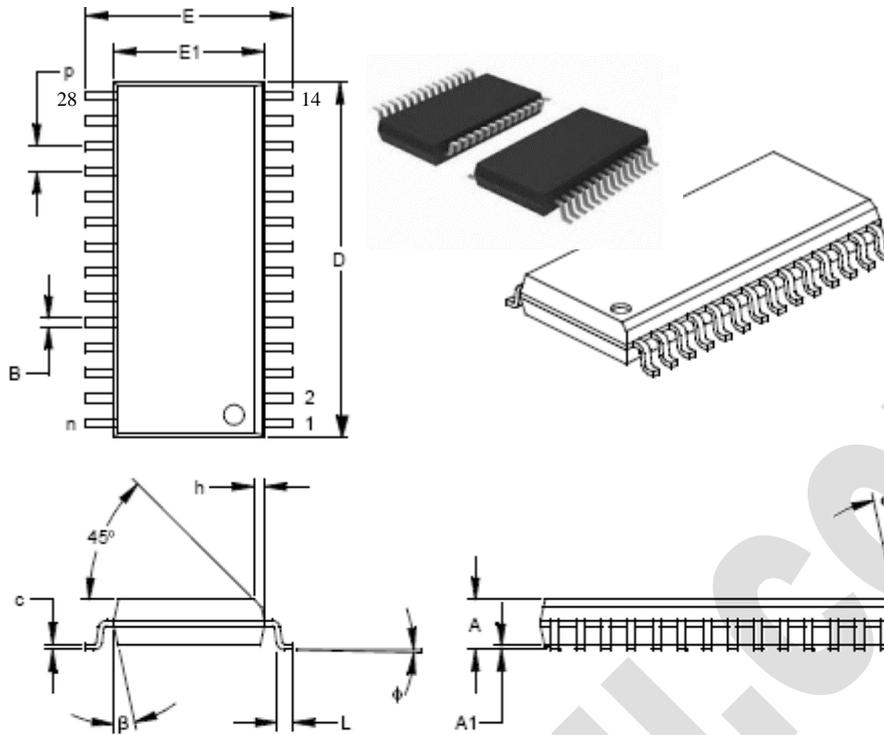


(发生转移)			2
CJNE Rn, #data, rel (不发生转移)	寄存器与立即数不等转移	3	2
(发生转移)			2
CJNE @Ri, #data, rel (不发生转移)	内部 RAM 与立即数不等转移	3	3
(发生转移)			3
DJNZ Rn, rel (不发生转移)	寄存器减 1 不为零转移	2	2
(发生转移)			2
DJNZ direct, rel (不发生转移)	直接寻址字节减 1 不为零转移	3	2
(发生转移)			2
NOP	空操作	1	1
CLR C	C 清零	1	1
CLR bit	直接寻址位清零	2	2
SETB C	C 置位	1	1
SETB bit	直接寻址位置位	2	2
CPL C	C 取反	1	1
CPL bit	直接寻址位取反	2	2
ANL C, bit	C 逻辑与直接寻址位	2	2
ANL C, /bit	C 逻辑与直接寻址位的反	2	2
ORL C, bit	C 逻辑或直接寻址位	2	2
ORL C, /bit	C 逻辑或直接寻址位的反	2	2
MOV C, bit	直接寻址位送 C	2	2
MOV bit, C	C 送直接寻址位	2	2



20 封装信息

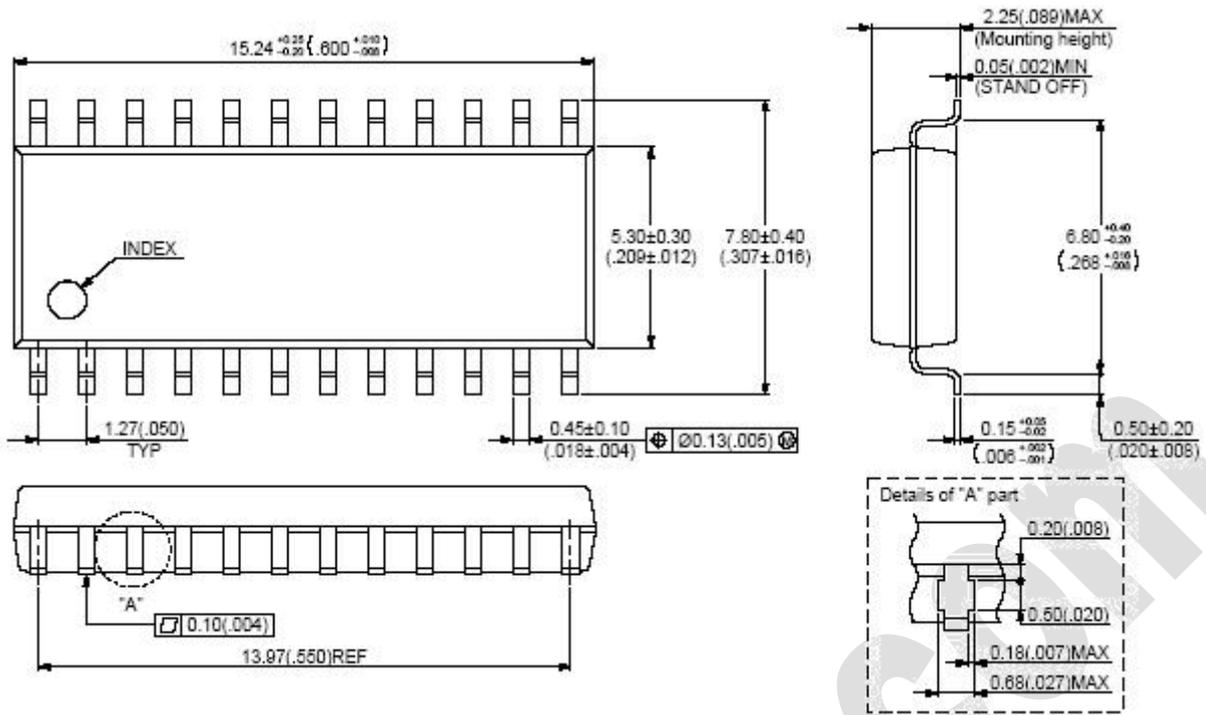
20.1 SOP28 (1.27mm pitch)



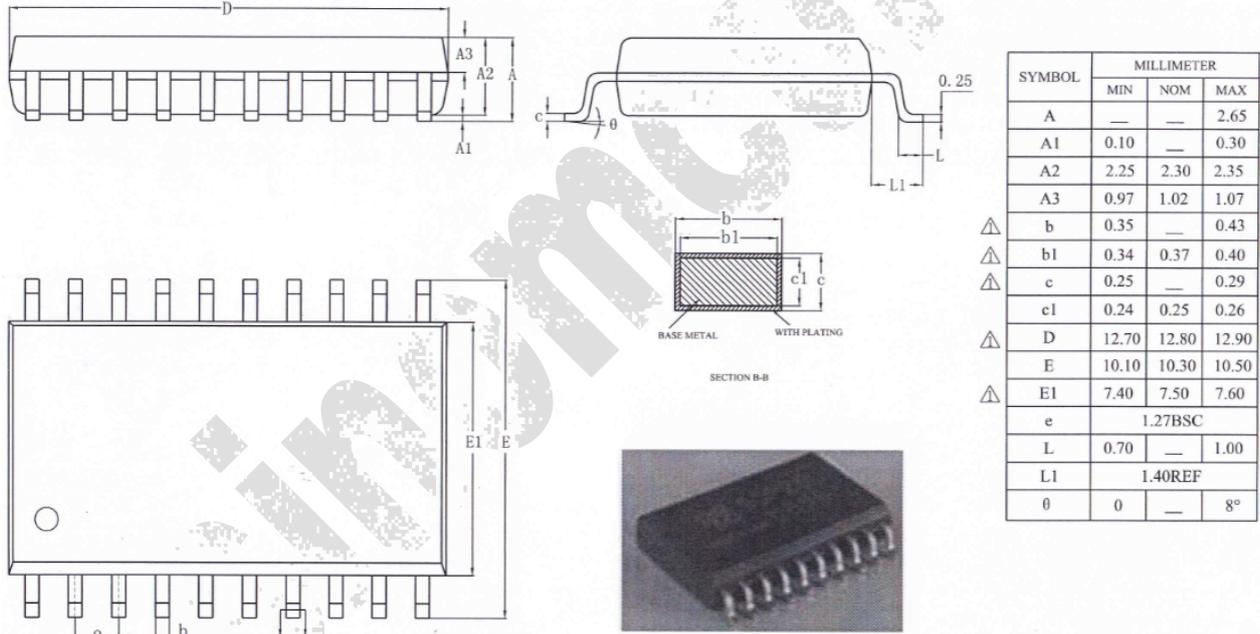
Units		INCHES*			MILLIMETERS		
Dimension	Limits	MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		28			28	
Pitch	p		.050			1.27	
Overall Height	A	.093	.099	.104	2.36	2.50	2.64
Molded Package Thickness	A2	.088	.091	.094	2.24	2.31	2.39
Standoff §	A1	.004	.008	.012	0.10	0.20	0.30
Overall Width	E	.394	.407	.420	10.01	10.34	10.67
Molded Package Width	E1	.288	.295	.299	7.32	7.49	7.59
Overall Length	D	.695	.704	.712	17.65	17.87	18.08
Chamfer Distance	h	.010	.020	.029	0.25	0.50	0.74
Foot Length	L	.016	.033	.050	0.41	0.84	1.27
Foot Angle Top	φ	0	4	8	0	4	8
Lead Thickness	c	.009	.011	.013	0.23	0.28	0.33
Lead Width	B	.014	.017	.020	0.36	0.42	0.51
Mold Draft Angle Top	α	0	12	15	0	12	15
Mold Draft Angle Bottom	β	0	12	15	0	12	15



20.2 SOP24 (1.27mm pitch)

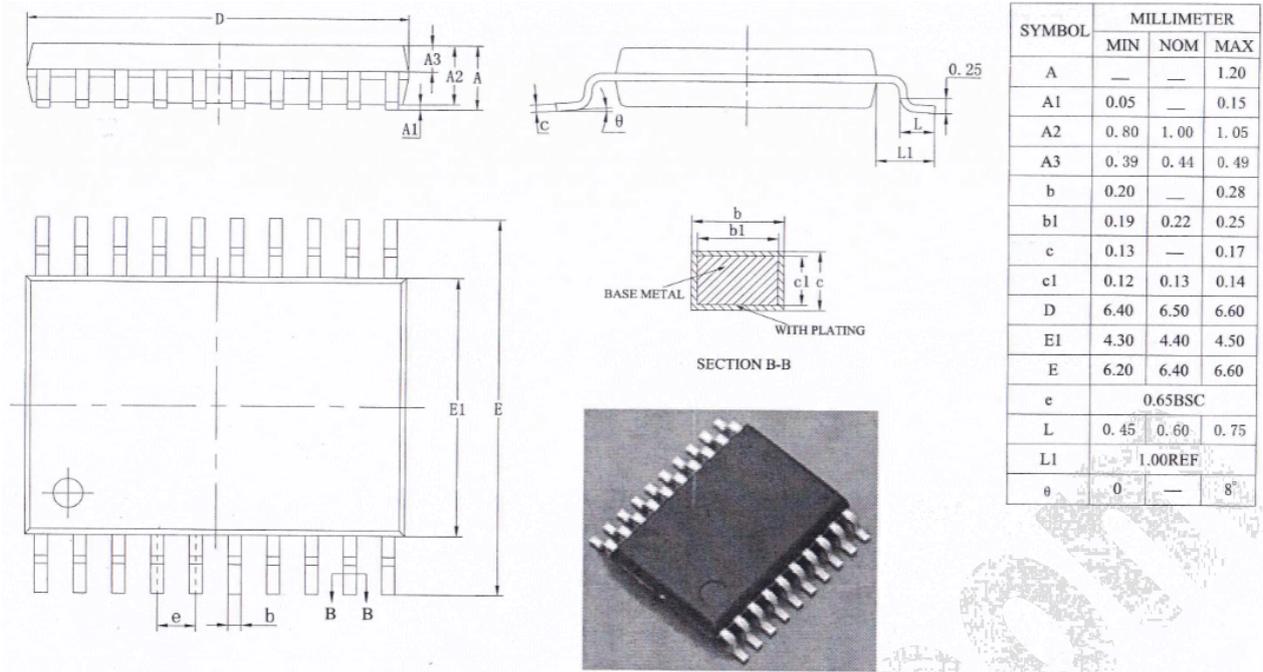


20.3 SOP20 (1.27mm pitch)

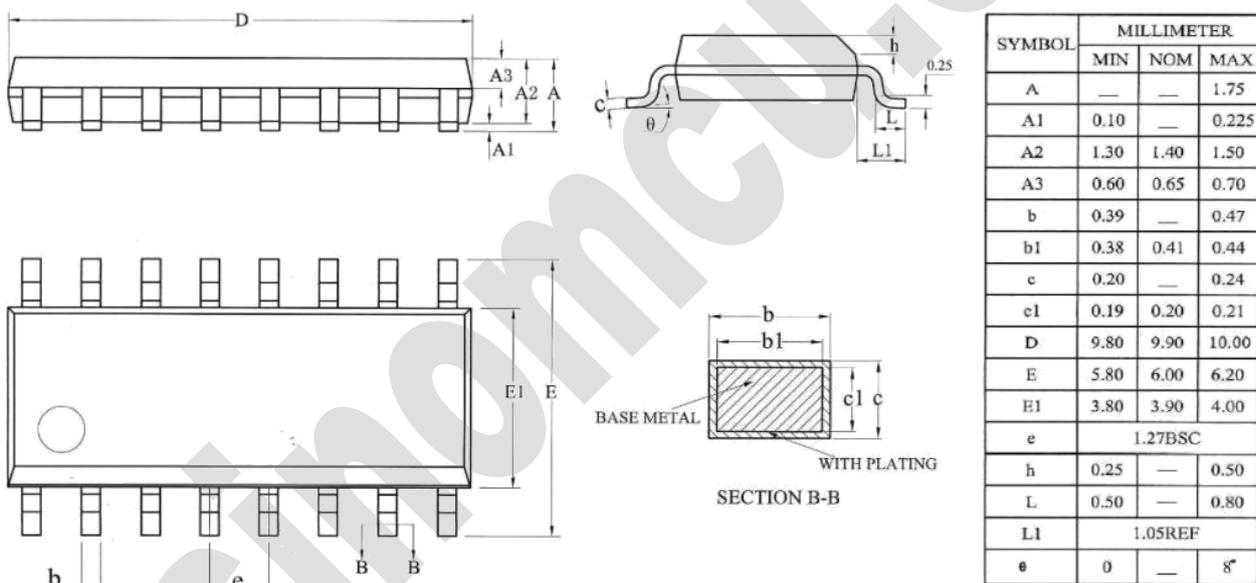




20.4 TSSOP20 (0.65mm pitch)



20.5 SOP16 (1.27mm pitch)





21 版本修订记录

版本号	修订者	修订日期	修订内容
V1.0.0	晟矽微电	2023-8-28	初始版本, 正式版
V1.0.1	晟矽微电	2023-11-08	增加 TSSOP20 封装, 脚位排列同 SOP20 封装 文档格式调整
V1.0.2	晟矽微电	2023-11-26	1、修正 ADC 章节中 ADC 转换结果寄存器名 2、修正 LED 特性参数中 LED 驱动电流单位为 mA 3、新增 SOP20 封装和 SOP16 封装, 封装类型 B1M 和 B0K
V1.0.3	晟矽微电	2024-1-29	1、新增 SOP20 封装, 封装类型 B2M
V1.1.0	晟矽微电	2024-7-31	1、修正主要特性章节中大驱动电流口为 P0。 2、修正 3.5 存储器结构图中 XRAM 为 512 Bytes 3、修正 RSTFLAG 寄存器地址 4、修正外部中断中选择 pin 口描述 5、更新特性章节, IIC 仅支持硬件从机模式 6、IIC 章节、UART 章节、IAP 章节增加<应用注意章节> 7、增加 8144 和 8144B 差异表