
SinoMCU 8 位单片机

MC32F7132

差异表

V1.1





目录

| | | |
|---|------------|---|
| 1 | 芯片差异表..... | 3 |
| 2 | 修订记录..... | 6 |

sinomcu.com



1 芯片差异表

| 模块/功能 | | MC32F7132 | MC32F7122/MC9910 |
|-------|--------|---|---|
| Core | 主频时钟 | cpu 最高主频 16M | cpu 最高主频 8M |
| | 内核&指令集 | 精简指令集, 8 级深度硬件堆栈 | 相同 |
| 存储器 | ROM | 4Kx16 | 相同 |
| | SRAM | 256 | 相同 |
| | EEPROM | 128 x16bit , 烧写次数 10000 | 64 x 8bit , 烧写次数 10000 |
| 时钟源 | HIRC | HIRC 32M/16M | HIRC 16M |
| | LIRC | LIRC 32KHz | 相同 |
| | EXT | 不支持 | 不支持 |
| 复位 | 复位 | POR/LVR/RST/WDT | 相同 |
| | LVR 电压 | 2.0/2.3V/2.7V/3.3V | 2.3V/2.7V/3.3V/ 4.1V |
| I/O | 数量 | 18 | 相同 |
| | 模式 | 4 种 (高速/低速/HOLD/STOP) | 相同 |
| | 上/下拉 | 全上拉/全下拉 | 相同 |
| | 键盘中断 | 不支持 | 不支持 |
| | 外部中断 | INT0/1 | 相同 |
| | 驱动 | P0 支持 2 级驱动配置 | 不支持 |
| 定时器 | 8 位 T0 | 支持外部计数 1 对 8+3 模式互补输出 (带死区) | 支持外部计数 |
| | 8 位 T1 | 支持 CP0_OUT 下降沿计数 | 相同 |
| | 8 位 T2 | PPGTLV (PPG 触发信号) / CO0_OUT 的上升沿计数 可实现外部 TC2 或内部 PPGTLV/ CP0_OUT 等脉冲信号的高/低电平宽度的测量; | PPGTLV (PPG 触发信号) 的上升沿计数; 可实现外部 TC2 或内部 PPGTLV 等脉冲信号的高/低电平宽度的测量; |
| | 8 位 T3 | 支持 PPG 模式 (即单次定时且开启时禁止 PPG 重触发) | 相同 |
| PPG | 位宽 | 11 位 脉冲发生器 | 10 位脉冲发生器 |
| | 触发计数 | 端口 PTRIG 输入或比较器 CP0 输出信号 CP0_OUT 的下降沿触发 寄存器控制位直接启动计数 | 相同 |
| | 停止计数 | 比较器 CP2 输出信号 CP2_OUT 或 CP3 输出信号 CP3_OUT 的下降沿停止 PPG 计数 | 比较器 CP2 输出信号 CP2_OUT 的下降沿停止 PPG 计数 寄存器控制位直接停止计数 |



| 模块/功能 | | MC32F7132 | MC32F7122/MC9910 |
|----------|---|---|---|
| | | 寄存器控制位直接停止计数 | |
| | 防触发 | 触发去抖和触发延时功能并产生触发中断 | 相同 |
| | | 触发延时: FIRC/8 或 PPG 时钟可选 FIRC/8 时钟: PPGTDL[2:0] x0.5us @hirc16M, PPGTDL[2:0] x0.25us @hirc32M PPG 时钟: PPGTDL[6:0] × PPG 计数时钟周期 | 触发延时: FIRC/8 时钟: PPGTDL[2:0] x0.5us |
| | 输出电平 | 输出有效: 高/低电平 输出无效: 高阻或反向电平 | 相同 |
| | PPG 分辨率 | 62.5 ns@16MHz, 31.25 ns@32MHz | 62.5 ns@16MHz |
| PPG 启动控制 | 需在 PPGEN 置 1 后, PPGSTR 置 1 才有效; PPGEN 为 0 时、或 PPGEN 和 PPGSTR 同时置 1, PPGSTR 均无法置 1。 | PPGEN 和 PPGSTR 同时置 1, PPGSTR 生效。 | |
| ADC | 输入通道 | 14 路外部通道: AN0~AN13 2 路内部通道: GND、VDD/4 | 12 路外部通道: AN0~AN11 2 路内部通道: GND、VDD/4 |
| | 参考电压 | VDD、 内部参考电压 VIR (2V/3V/4V)、外部参考电压 VER (VERI 输入) | VDD、内部参考电压 VIR (4V) |
| | 其他 | - | - |
| 模拟比较器 | 外设数量 | 4 路 (CP0~CP3) | 4 路 (CP0~CP3) |
| | 正反相输入通道 | CP0 输入: 外部通道 CP0N/CP0P CP1~CP3 输入: 反相为外部输入通道; 正相输入为 VIR/VDD 分压, 分压精度 1% | 相同 |
| | 输入共模电压 | 0 ~ (VDD-1.4V) | 相同 |
| | 失调和回滞 | 支持失调电压自消除调校 (调校精度 ±2mV), 输出无回滞 CP0 不支持去抖处理 CP1~CP3 支持去抖处理 | 相同 |
| | PPG 保护 | 参见 PPG | 相同 |
| | 正相分压比 | CP1:16 级分压 (0.34~0.64) × VDD、 或(0.425~0.8)×VIR CP2:8 级分压 (0.05~0.70) ×VDD、或 (0.0625~0.875)×VIR CP3:32 级分压 (0.06~0.70) ×VDD、或 (0.075~0.875)×VIR | CP1:16 级分压 (0.34~0.64) × VDD、 或(0.425~0.8)×VIR CP2:8 级分压 (0.05~0.70) ×VDD、或 (0.0625~0.875)×VIR CP3:32 级分压 (0.08~0.70) ×VDD、或 (0.1~0.875)×VIR |
| | 输出 | CP0~CP3 支持输出取反 | 不支持 |



| 模块/功能 | | MC32F7132 | MC32F7122/MC9910 |
|-------|-----------|--|---|
| 运算放大器 | 外设数量 | 1 (OPA0) | 1 (OPA0) |
| | 正反向输入通道 | 1 路反向输入: OPAN 3 路正向输入: OPAP//GND/OPAPR | 相同 |
| | 输入共模 | 0 ~ (VDD-1.4V) | 相同 |
| | 失调 | 支持失调电压自消除调校 (调校精度 ±2mV) | 相同 |
| | 内部放大增益 | - | - |
| | 输出通道 | 4 路: OPAO_A(CP3 反相) AN10(直连 ADC 输入 AN10) OPRO0/ OPRO01 (串接电阻后连接 ADC 输入 AN11 或 AN5) | 3 路: OPAO_A(CP3 反相) AN10(直连 ADC 输入 AN10) OPA0_R(串接电阻后连接 ADC 输入 AN11) |
| LVD | | 支持 3.3V/4.2V | 相同 |
| 通讯 | IIC | 从机 7 位, 400k | 相同 |
| 其他 | EEPROM 编程 | EEPROM 支持片上 IAP 编程 EEPROM 读/写操作时, CPU 暂停工作 | 相同 |
| | 在板带电烧录 | 支持 | 不支持 |
| | 电气特性 | VDD=2.0v, Fcpu=4MHz@FHIRC(16M)/4 P0支持: IOH=10/20mA, IOL=15/30mA | VDD=2.3v, Fcpu=4MHz@FHIRC(16M)/4 P0支持: IOH=10mA, IOL=15mA |
| | 工作温度 | -40°C~85°C | -40°C~85°C |
| | 2 线烧写/仿真口 | 2 组 4 线编程 | 1 组 5 线编程 |



2 修订记录

| 版本 | 日期 | 修订内容 |
|------|------------|-------|
| V1.0 | 2024-08-13 | 发布初版; |
| V1.1 | 2024-08-28 | 勘误; |