



MS32F031A6 应用说明 V1.3.1

晟矽微电 32 位 Arm Cortex-M0 内核单片机



32 位 ARM Cortex-M0 内核 FLASH 型 MCU，最高 48MHz 主频，32KB FLASH ROM，4K SRAM，12 位高速 ADC，5 通道 DMA，1 个 16 位 7 通道高级 Timer（支持 6 路 PWM），1x32 位+3x16 位通用定时器，1 路 UART，1 路 SPI，1 路 I2C，CRC，RTC 日历，2 个 CMP，3 个 OPA，SWD 调试

注：

本文针对产品内部验证测试、特定设计及用户应用反馈的芯片应用问题，进行说明并提供解决或规避方案。

有关产品订购信息、功能概述、电气特性和封装特性，请参考《数据手册》。

有关产品完整功能详细信息，请参考《用户手册》。

有关 Cortex-M0 内核的相关信息，请参考《Cortex-M0 技术参考手册》。



1 概述

本文针对产品内部验证测试、特定设计及用户应用反馈的芯片应用问题，进行说明并提供解决或规避方案。

Sinomcu.com



2 应用说明

2.1 ARM Cortex-M0 内核

本产品内置 ARM 的 Cortex-M0 处理器内核，与所有的 ARM 工具和软件兼容。

2.2 内置闪存存储器

2.2.1 预取指

序号	问题描述	规避方案
1	Flash 延迟为 0 等待（即 LATENCY = 0）时，无法启动 prefetch 预取缓冲区。	(1) 不使用我司库函数的情况下，需要先设置 Flash 延迟为 1T 等待（即 LATENCY = 1），再启动 prefetch。 (2) 我司库函数中已经包含上述操作方式

2.2.2 FLASH_CR 锁定

序号	问题描述	规避方案
1	FLASH 解锁操作中，没有按照正常流程输入解锁操作时，FLASH_CR 寄存器不会锁死（包括 optionbyte / usroption）	只是没有锁定功能，不影响应用使用

注：正常解锁流程：写密钥 1 (KEY1) = 0x45670123，
写密钥 2 (KEY2) = 0xCDEF89A，
除正常流程外都是非正常流程

2.2.3 PGERR&WRPTERR 标志建立

序号	问题描述	规避方案
1	option（包括 optionbyte / usroption）在未擦除（值为非 FF）的地址写入数据，置起 PGERR 标志而不是 WRPTERR。	用户判断标志需要从“WRPTERR”改成“PGERR”
2	optionbyte 上电加载时，数据非互补时（全 0xFFFF 除外）无法置起 PGERR。	应用中用户读出 option 内容进行互补判断
3	读保护 level 1 状态下，使用代码擦写主 flash 失败，不会置起 PGERR 标志。	应用中用户读出 flash 内容进行判断是否擦除成功
4	读保护 level 2 状态下，使用代码擦写 RDP 值，不会置起 WRPTERR 标志和引发中断。	没有保护等级反馈，保护功能不影响，应用正常使用

2.3 外部中断/事件控制器 (EXTI)

2.3.1 EXTI 最小脉宽

序号	问题描述	规避方案
1	不能检测小于内部 APB 时钟周期宽度的 EXTI 信号。	保证被检测的 EXTI 信号宽度是 APB 时钟周期的两倍，请应用时注意。

2.4 时钟和启动

2.4.1 HSI 时钟

序号	问题描述	规避方案
1	HSI 直接或间接做系统时钟，可以关闭使能。	在关闭 HSI 使能前检查 HSI 是否直接或间接作为系统时钟，确认 HSI 没有直接或间接做系统时钟，才可以关闭 HSI 使能
2	HSICAIL 和 HSITRIM 功能无。	HSI 出厂进行调校，用户应用中无法进行 trim 调整操作。

2.4.2 HSE 时钟

序号	问题描述	规避方案
1	HSE 直接或间接做系统时钟，可以关闭使能。	在关闭 HSE 使能前检查 HSE 是否直接或间接作为系统时钟，确认 HSE 没有直接或间接做系统时钟，才可以关闭 HSE 使能。



2	HSE 旁路，外灌时钟时，无法置起 HSERDY 标志	无法规避
---	-----------------------------	------

2.4.3 PLL 时钟

序号	问题描述	规避方案
1	PLL 做系统时钟，可以关闭使能。	在关闭 PLL 使能前检查 PLL 是否直接作为系统时钟，确认 PLL 没有直接做系统时钟，才可以关闭 PLL 使能。

2.4.4 LSE 时钟

序号	问题描述	规避方案
1	LSE 旁路，外灌时钟时，无 LSE RDY 标志，同时 PC15 无 GPIO 功能。	无法规避

2.4.5 系统时钟切换

序号	问题描述	规避方案
1	任意时钟切换，不检查目标时钟 ready 标志，直接切换。若目标时钟未建立，此行为将导致芯片不工作（死机）	用户切换时钟前，必须软件检查目标时钟的 ready 标志，判断是否建立正常，只有目标时钟建立正常，才允许进行相应的时钟切换动作。 特殊情况：HSE 旁路情况下，建议不使用 HSE 作为 SYSCLK；若必须使用，由于没有 HSERDY 标志（HSE 时钟问题 2 有描述），可以直接切换，有芯片死机风险

2.5 自举模式

2.5.1 BOOT0 脚

序号	问题描述	规避方案
1	BOOT0 脚外部接地，上电会有加载不正确的情况出现，导致上电芯片运行异常。	BOOT0 脚外部接地，同时设置 USR_OPT0->BOOT_PDB 位为 0，使能内部 40k 下拉电阻，即可规避。 此配置会在出厂时，写入用户选项字节区，下拉开启。

2.6 供电监控器

2.6.1 POR/PDR

序号	问题描述	规避方案
1	上电复位(POR)/掉电复位(PDR)电路，迟滞窗口 100mv。当缓慢上电时，从上电复位到程序运行，由于功耗的跳变增大导致 VDD 电压跌落，此时若工作电压不够高，会触发 PDR 的阈值，再次发生复位。	增加电源供给的驱动能力，加快上电时间使 POR 复位预热时间内，工作电压升至足够高。

2.7 低功耗模式

2.7.1 停止模式

序号	问题描述	规避方案
1	停止模式下，LDO（调压器）开启为 normal 模式(LPDS = 0)，此时功耗约 800uA；若用户使用 USART 或 I2C 进行 STOP 模式唤醒，功耗可能会超出用户预期。	若功耗无法满足需求，建议进入停止模式前，设置 LDO 为 low-power 模式(LPDS = 1)，但这样不能使用 USART 或 I2C 唤醒，用户可以使用 EXTI 信号进行唤醒。

2.8 DMA

2.8.1 CNDTR 重载

序号	问题描述	规避方案
1	DMA 单次传输模式下，传输完成一组数据后，若不重新设置 CNDTR（传输数据量），CNDTR 不会重载，DMA 再次启动不能进行传输。 CNDTR 必须在 DMA 关闭 EN（CCRx 的 bit0）情况下才能修改。	DMA 单次传输模式下，传输完成一组数据后（TCIFx 置起），必须先关闭 DMA，再对 CNDTR 重新写入预期值，最后开启 DMA，启动新一轮传输。



2.8.2 全局中断标志 GIFx

序号	问题描述	规避方案
1	DMA 的全局中断标志 GIFx, 在任一中断标志置起时, 都会置起此标志, 但当清除其他所有中断标志, 此位不会清零。	DMA 的全局中断标志 GIFx, 一旦置起, 必须软件手动清除。

2.8.3 循环模式

序号	问题描述	规避方案
1	DMA 循环模式与其它外设的自动连续模式 (如 ADC 连续模式) 配合有概率导致数据错位。	无法规避。DMA 使用单次采样模式, 联动外设也不要使用自动连续或是循环模式, 并参考“CNDTR 重载”描述

2.9 定时器和看门狗

2.9.1 TIM1

序号	问题描述	规避方案
1	当 ARR=0 (周期为 0) 时, 会置起 UIF 并产生中断	不建议对 ARR 写 0。
2	通道 4 极性选择, 不支持双沿捕获	用户须避免通道 4 双沿捕获的应用。
3	向下计数 PWM1 模式, CCR=0 (占空比为 0), 输出为低电平	无法规避, 该模式下无法产生 1 个 CLK 的高电平脉宽。
4	PWM 模式在互补输出开启 (CCxNE = 1) 的情况下, 通道 4 会比通道 1, 2, 3 提前 1 个 CLK 有效	无法规避, 使用互补输出时, 用户需要考虑通道 4 的 1 个 CLK 超前; 互补输出关闭情况下, 无此现象。
5	中央对齐 PWM1 模式, ARR=CCR (周期等于占空比), 有 1 个 CLK 的低电平	无法规避, 此配置下, 无法满足 100% 占空比; 若需要达到 100% 占空比, 需要 ARR < CCR (周期小于占空比)。
6	向下计数 PWM2 模式, 当 CCR=0 时, 占空比为 100%, 输出高电平。	无法规避, 无法产生 1 个 CLK 为低电平的占空比。
7	定时器每次使能后, PWM 输出第一个周期少一个定时器时钟	(1) 若用户不关心第一个 PWM 周期, 则不用处理此问题, 后续的 PWM 周期正常。 (2) 若用户需要第一个 PWM 周期正确, 开启周期预装载功能, 首次设置 PWM 周期是预期值加 1, 启动后并在周期更新事件建立前, 设置周期值为预期值
8	定时使能之前, 主输出通道电平固定为 0, 互补通道电平固定为 1, 不随 CNT 和 CCR 比较关系变化	若用户对初始电平有需求, 可以按照如下方式操作: 在定时器使能之前用 GPIO 控制 IO 电平为预期电平, 然后打开定时器使能和通道使能, 最后开启 IO 复用功能
9	中央对齐计数模式, 向上计数过程中, 将 TIMx_ARR 的值写入计数器, 或者, 向下计数过程中, 将 0 写入计数器, 计数方向改变, 但是 DIR 标志不更新。	不影响计数, 在执行此行为之后至下次更新事件之间不要通过 DIR 标志来判断计数方向, 后续恢复正常。
10	调试模式 debug 控制位 (DBG_TIM1_STOP = 1), 此位只有在重新上电时有效。	此位修改需要重新上电。
11	LOCK 写入 0 时, 该控制位仍可修改; 写入非 0 时, 该控制不可修改。	请应用时注意。
12	单脉冲模式, ARPE = 1, 向上计数, CNT ≠ 0, 大于 CCRx, 小于 ARR 时, 无单脉冲产生	使用单脉冲时, 需要 ARPE 设置为 0
13	单脉冲模式, APRE=1, 快速使能打开时, 第一个脉冲计数出现的时间只有全周期的一半	使用单脉冲时, 需要 ARPE 设置为 0
14	单脉冲模式, APRE=1 时, 快速使能关闭	使用单脉冲时, 需要 ARPE 设置为 0
15	刹车信号产生, PWM 输出在死区之后受 OISx 与 OISxN 控制, 当这两个配置位都对应 OCx 和 OCxN 的有效电平 (OISx 和 OCx 互反且 OISxN 和 OCxN 互反), 最后输出两个有效电平 (电机应用有炸管风险)	无法规避, 应用时注意避免该配置。
16	刹车信号需要 TIM1 工作时钟 (APB 时钟) 同步采样, 当 TIM1 无时钟或是低时钟时, 会无保护或保护延迟。	TIM 时钟不能关闭, 且建议保持高频状态。
17	输入捕获功能, 当同时使用 2 个及以上的通道做为输入捕获时, 通道滤波时间会缩短, 具体缩短时间与配置值有关	若对滤波有要求时, 避免同时使用 2 个及以上的通道做输入捕获

2.9.2 TIM2/TIM3

序号	问题描述	规避方案
----	------	------



1	输入捕获功能，当同时使用 2 个及以上的通道做为输入捕获时，通道滤波时间会缩短，具体缩短时间与配置值有关	若对滤波有要求时，避免同时使用 2 个及以上的通道做输入捕获
2	定时器每次使能后，PWM 输出第一个周期少一个定时器时钟	(1) 若用户不关心第一个 PWM 周期，则不用处理此问题，后续的 PWM 周期正常。 (2) 若用户需要第一个 PWM 周期正确，开启周期预装载功能，首次设置 PWM 周期是预期值加 1，启动后并在周期更新事件建立前，设置周期值为预期值
3	向下计数 PWM1 模式，CCR=0 (占空比为 0)，输出为低电平	无法规避，该模式下无法产生 1 个 CLK 的高电平脉宽。
4	中央对齐 PWM1 模式，ARR=CCR (周期等于占空比)，有 1 个 CLK 的低电平	无法规避，此配置下，无法满足 100% 占空比；若需要达到 100% 占空比，需要 ARR<CCR (周期小于占空比)。
5	向下计数 PWM2 模式，当 CCR=0 时，占空比为 100%，输出高电平。	无法规避，无法产生 1 个 CLK 为低电平的占空比。
6	单脉冲模式，ARPE = 1，向上计数，CNT≠0，大于 CCRx，小于 ARR 时，无单脉冲产生	使用单脉冲时，需要 ARPE 设置为 0
7	单脉冲模式，APRE=1，快速使能打开时，第一个脉冲计数出现的时间只有全周期的一半	使用单脉冲时，需要 APRE 设置为 0
8	单脉冲模式，APRE=1 时，快速使能关闭	使用单脉冲时，需要 APRE 设置为 0
9	定时使能之前，主输出通道电平固定为 0，互补通道电平固定为 1，不随 CNT 和 CCR 比较关系变化	若用户对初始电平有需求，可以按照如下方式操作：在定时器使能之前用 GPIO 控制 IO 电平为预期电平，然后打开定时器使能和通道使能，最后开启 IO 复用功能
10	当 ARR=0 (周期为 0) 时，会置起 UIF 并产生中断	不建议对 ARR 写 0。
11	中央对齐计数模式，向上计数过程中，将 TIMx_ARR 的值写入计数器，或者，向下计数过程中，将 0 写入计数器，计数方向改变，但是 DIR 标志不更新。	不影响计数，在执行此行为之后至下次更新事件之间不要通过 DIR 标志来判断计数方向，后续恢复正常。
12	调试模式 debug 控制位 (DBG_TIM2_STOP = 1 或 DBG_TIM3_STOP = 1)，此位只有在重新上电时有效。	此位修改需要重新上电。

2.9.3 TIM14

序号	问题描述	规避方案
1	当 ARR=0 (周期为 0) 时，会置起 UIF 并产生中断	不建议对 ARR 写 0。
2	定时器每次使能后，PWM 输出第一个周期少一个定时器时钟	(1) 若用户不关心第一个 PWM 周期，则不用处理此问题，后续的 PWM 周期正常。 (2) 若用户需要第一个 PWM 周期正确，开启周期预装载功能，首次设置 PWM 周期是预期值加 1，启动后并在周期更新事件建立前，设置周期值为预期值

2.9.4 TIM16/TIM17

序号	问题描述	规避方案
1	调试模式 debug 控制位 (DBG_TIM16_STOP = 1 或 DBG_TIM17_STOP = 1)，此位只有在重新上电时有效。	此位修改需要重新上电。
2	定时器每次使能后，PWM 输出第一个周期少一个定时器时钟	(1) 若用户不关心第一个 PWM 周期，则不用处理此问题，后续的 PWM 周期正常。 (2) 若用户需要第一个 PWM 周期正确，开启周期预装载功能，首次设置 PWM 周期是预期值加 1，启动后并在周期更新事件建立前，设置周期值为预期值
3	定时使能之前，主输出通道电平固定为 0，互补通道电平固定为 1，不随 CNT 和 CCR 比较关系变化	若用户对初始电平有需求，可以按照如下方式操作：在定时器使能之前用 GPIO 控制 IO 电平为预期电平，然后打开定时器使能和通道使能，最后开启 IO 复用功能
4	LOCK 写入 0 时，该控制位仍可修改；写入非 0 时，该控制不可修改。	请应用时注意。
5	当 ARR=0 (周期为 0) 时，会置起 UIF 并产生中断	不建议对 ARR 写 0。
6	LOCK 写入 0 时，该控制位仍可修改；写入非 0 时，该控制不可修改。	请应用时注意。
7	单脉冲模式，ARPE = 1，向上计数，CNT≠0，大于 CCRx，	使用单脉冲时，需要 ARPE 设置为 0



	小于 ARR 时，无单脉冲产生	
8	单脉冲模式，APRE=1，快速使能打开时，第一个脉冲计数出现的时间只有全周期的一半	使用单脉冲时，需要 ARPE 设置为 0
9	单脉冲模式，APRE=1 时，快速使能关闭	使用单脉冲时，需要 ARPE 设置为 0
10	刹车信号产生，PWM 输出在死区之后受 OISx 与 OISxN 控制，当这两个配置位都对应 OCx 和 OCxN 的有效电平（OISx 和 OCx 互反且 OISxN 和 OCxN 互反），最后输出两个有效电平（电机应用有炸管风险）	无法规避，应用时注意避免该配置。
11	刹车信号需要 TIM16/TIM17 工作时钟（APB 时钟）同步采样，当 TIM1 无时钟或是低时钟时，会无保护或保护延迟。	TIM 时钟不能关闭，且建议保持高频状态。
12	TIM16/TIM17:CH1N 通道在端口复用后，数字输出控制无法关闭	在定时器使能之前用 GPIO 控制 IO 电平为预期电平，然后打开定时器使能和通道使能，最后开启 IO 复用功能

2.9.5 独立看门狗

序号	问题描述	规避方案
1	VBAT 未掉电，VDD 重新上电，IWDG_RLR/IWDG_PR 发生复位	无法规避，VDD 重新上电后，需要对“IWDG_RLR / IWDG_PR”重新赋值
2	WVU / RVU / PVU 这三个功能位无效	恒为 0，判断标志位

2.9.6 窗口看门狗

序号	问题描述	规避方案
1	7 位计数值在到达窗口值前刷新，无法立即产生复位，会等待 3.2us 进行再复位	请应用时注意
2	EWIF 中断重复触发，无法稳定清除退出中断	中断函数内清零 EWIF 后判断等待 EWIF 确实清零

2.10 RTC（实时时钟）和备份寄存器

序号	问题描述	规避方案
1	程序对 RTC_WPR 寄存器写入非解锁序列的值，加锁功能无效，RTC 所有寄存器仍可修改	应用程序内完成初始化后，避免修改 WPR 可加锁的寄存器值
2	RTC 时钟配置后，RTC 备份域未发生复位，程序可修改 RTC 时钟源	程序内避免在备份域未复位的情况下改变 RTC 时钟源
3	触发 TS 事件后，2 个 RTC 时钟后 TSF 置位（与用户手册不同）；TSF 置位期间再次触发 TS 事件，TSOVF 置位时间为 1 个 RTC 时钟（与用户手册不同）	请应用时注意
4	TAMP 配置下降沿触发，若 TAMPxE 使能前，TAMP 引脚电平为低电平，则使能 TAMPxE 后无法触发事件导致事件丢失（与用户手册不同）	无法规避，若初始电平为低，同时配置下降沿触发，会丢失第一个事件。若初始电平为高，同时配置上升沿触发，能触发第一个事件
5	PWR_CR.DBP 清零加锁 LSEON, LSEBYP, RTCSEL 和 RTCEN 控制位无效	无法规避，初始化后非程序功能需要，避免相关寄存器误写入
6	RTC ALARM 唤醒低功耗，PWR_CSR.WUF 仅在 STANDBY 模式唤醒后置位，STOP 和 SLEEP 模式唤醒后不置位	请应用时注意
7	进入初始化模式后，ALRWAF 标志位不会硬件清零，固定为 1	应用避免判 0 操作
8	ALRMASR.MASKSS 屏蔽部分 ALRMASR.SS，对 SS 进行加/减操作产生借位/进位导致无法匹配，MASKSS 未生效	无法规避，无法使用匹配功能，配置 ALRMASR.SS 尽量匹配

2.11 I2C 总线

强烈建议：此模块直接调用晟矽基本库操作。

序号	问题描述	规避方案
1	主从机发送在系统时钟较低或者使用中断处理时，会发出 TXDR 寄存器默认“0”的数据	在 START 或者地址匹配之前预先写入要发送的第一个 byte 数据，同时原来的 NBYTE 字节控制相应减 1。发送完所有数据，STOPF 标志置起后主动设置 TXE 清空内部缓存。
2	10bit 地址模式从机发送时，地址匹配只进一次中断	请应用时注意。



3	10bit 地址模式从机地址匹配 ADDCODE 只存储 bit[7:1] 地址	进入 ADDR 中断, 10bit 地址匹配避免读取 ADDCODE 地址校验。
4	TXIS 与 TXE 建立方式一致; 如采用中断方式 (TXIS 作为参考标准), 在最后一个数据收发完, 标志会一直建立并反复进中断	发送尽量采用 TXE 标志查询方式进行。
5	I2C_RXDR 数据未被读取时, 时钟拉伸为每两个字节拉伸一次	禁止时钟延展功能
6	从机模式, 在接收状态下, NBYTE 只在 ADDR 地址匹配之前配置有效	从机只支持固定 NBYTE 传输, 且要在 ADDR 地址匹配之前配置。 主机不受影响。
7	在 I2C 使能前写入 I2C_TXDR 有效	无法规避, 不影响应用, 尽量避免使能前写 I2C_TXDR。
8	PEC 计算异常, PECERR 标志异常	无法规避, 禁止使用 PEC 功能。
9	STOP 低功耗唤醒异常	无法规避, 禁止使用 STOP 低功耗唤醒功能。
10	总线错误标志无法建立	无法规避, 禁止使用 BEER 标志。
11	OVER 标志接收的最后一个数据未丢弃	无法规避, 软件丢弃最后一个接收数据。
12	IIC 复用一打开, IO 自动上拉, IO 的上下拉配置无效	请应用时注意。
13	从机发送中, NBYTE 控制位无效, 主机提供时钟, 从机就会发送 TXDR 中的数据, 若 TXDR 中数据为空, 从机发送为零。	请应用时注意。
14	ARLO 标志异常	无法规避, 禁止使用仲裁功能。
15	I2C 使用查询方式进行发送时, 两包数据之间插入 delay 会导致数据发送两次	I2C 使用查询方式进行发送时, 禁止插入任何其它操作, 让程序一直维持连续发送

2.12 通用同步/异步收发器 (USART)

序号	问题描述	规避方案
1	在 STOP 位为 1 位时, 接收数据会有丢失或错收的现象。	(1) 将计算后的 BRR 数据进行减 1 处理; (2) 大量数据连续收发时, 两个数据间隔大于 1.5 个 STOP 位。
2	智能卡模式下, 在收到连续两个数据的时候, BUSY 标志有时会无法及时置起, 接收的数据正常。	请应用时注意, 建议不要用 busy 进行实时判断。
3	智能卡模式下, 接收数据每当等于 BLEN+4 时, EOB 中断触发一次。	请应用时注意。

2.13 串行外设接口 (SPI)

强烈建议: 此模块直接调用晟矽基本库操作。

序号	问题描述	规避方案
1	单线单工通信情况下, 收发数据异常	禁止使用单工模式。
2	主从通信速率受限	作为主机通信速率不超过 18MHz, 作为从机通信速率不超过 12MHz。
3	作为从机, SSM=1 (软件控制内部 NSSP 片选信号), SPE=1 (使能 SPI 模块) 的情况下, SSI 无法通过软件切换从机是否被选通	从机无法在通信中直接修改 SSI, 只有 SPE=0 (禁止 SPI) 后才能修改 SSI。
4	主机模式, 当 NSSP=0 并且 CPOL/CPHA≠0/0 时, NSS 管脚会在每帧数据之间输出 1 个 SPI 时钟的高电平	请应用时注意。
6	CPOL/CPHA=1/1 的通信模式, 主从无法正常通信	CPOL/CPHA=1/1 的模式禁止使用。
7	主机发送数据最高位为 1, MOSI 引脚提前一个 SPI 时钟变高电平	请应用时注意。
8	当 SPE=0 时, 对 DR 寄存器填写要发送的数据, 等 SPE 设置为 1 时, DR 寄存器数据不会发送到线上	先对 SPE 设置为 1 之后, 再对 DR 寄存器填数据, 保证数据正确发送。
10	TI 模式下, 无法通信	禁止使用 TI 模式。
11	DMA 收发模式, 配置 CRCNEXT 位无效	请应用时注意。

2.14 通用输入输出接口 (GPIO)

序号	问题描述	规避方案
1	GPIOA/GPIOB 按照配置执行锁定操作时, 三个写操作	请应用时注意。



	完成后, 即可锁定成功	
2	GPIOC 的 PC15 管脚单独配置成推挽输出模式, 管脚一直输出低电平; 配置成开漏输出模式, 管脚一直输出高, 不受寄存器控制翻转 IO。	如果需要 GPIOC 的 PC15 管脚作为输出正常受寄存器控制, 请将 PC15 和 PC14 同时配置成输出模式。

2. 15 ADC(模拟/数字转换器)

序号	问题描述	规避方案
1	自动关断模式 (ADC_CFGR1[15]=1), 无低功耗功能	禁止使用自动关断功能
2	单次转化模式 (ADC_CFGR1[13] = 0; ADC_CFGR1[16] = 0); 1 次软件触发对应两次 EOC 转换; 打开中断的话, 会进入两次。	(1) 单通道单存储单元时, 可直接覆盖使用, 读取最后一次转换数据; (2) 多通道单次存储时, 可读取第二轮数据进行使用; (3) 多通道多数据存储时, 需要将数据存储单元进行扩展或者减少触发次数, 例如保存 4 个通道数据, 每个通道保存 2 个数据, 可以进行一次多通道扫描任务, 即可存储 8 个数据; 或者将存储空间扩展为 16 个, 软件触发 2 次即可进行 16 个数据的采集。
3	连续转化模式 (ADC_CFGR1[13] = 1; ADC_CFGR1[16] = 0); 连续转换开启 1 次, 会产生 2 次数据。	循环采集模式, 如果需要对每次转换的数据进行处理, 建议将存储空间扩展为 2 倍。
4	当 DMA 搬移次数与通道数设置一致, 并且 ADC 选择软件单次触发时, 容易出现过冲效果 (OVR 标志置起), 导致 DMA 运行异常	需将存储空间扩大 2 倍, 避免过冲影响, 例如存储 2 个数据, 需将存储空间扩展为 4 个。
5	ADC 与 DMA 组合使用时, ADC 连续转换+DMA 普通转换会出现数据错位现象	禁止使用 ADC 连续转换+DMA 普通转换的组合。
6	ADC 的就绪状态位 (ADC_ISR_ADRDY[0]), 该位上电后只能置起 1 次; 若 ADC 关闭再打开, 该位无法置起	请应用时注意。
7	当 ADC 使能时, 硬件内部固化稳定时间要 2048 个 ADC_CLK, 才能正常使用 (稳定期间对 ADC 任何操作无效)	请应用时注意。
8	ADC 与 DMA 组合使用时, ADC 单次转换+DMA 普通转换会出现数据错位现象	禁止使用 ADC 单次转换+DMA 普通转换的组合。

2.15.1 温度传感器 (V_{SENCE})

序号	问题描述	规避方案
1	前期工程样品, 温度校正值未写入	后续量产批, 在出厂写入

2.15.2 内部参考电压 (V_{REFINT})

序号	问题描述	规避方案
1	内部参考不需要出厂校准	参考数据手册相关章节电气参数

2. 16 电压比较器 CMP

序号	问题描述	规避方案
1	比较器 1&2 滤波功能使用时有概率失效, 其中 256/512 滤波档位失效概率显著。	无法规避, 请应用时注意, 禁止使用 256/512 档位。 注: 电机应用中, 建议禁止使用内置比较器, 以防噪声引起比较器误触发。

2. 17 串行单线 SWD 调试口 (SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。



3 修改记录

版本号	修订者	修订日期	修订内容
V1.0.0	晟矽微电	2021-11-15	初始版本
V1.1.0	晟矽微电	2021-11-16	1、电机应用中，建议禁止使用内置比较器。
V1.1.1	晟矽微电	2022-04-22	修改文档样式
V1.2.0	晟矽微电	2022-05-12	1、DMA 章节增加循环模式，禁止循环模式和其它外设的连续模式配合使用，建议使用单次模式，并参考计数重载注意事项 2、增加 GPIO 章节，PC15 管脚需要作为输出功能 PC14 也必须配成输出模式
V1.3.0	晟矽微电	2022-06-10	1、删除 2.18 章节，把相关内容添加到 2.14 章节 2、I2C 章节增加 bug15 说明 3、ADC 章节增加 bug8 说明
V1.3.1	晟矽微电	2022-10-19	1、修改公司 logo 和水印



4 免责声明

本资料内容为晟矽微电子（以下简称“我公司”）版权所有。

我公司将力求本资料的内容做到准确无误，但同时保留在不通知用户的情况下，对本资料内容的修改权。如您需要获得最新的资料，请及时联系我公司。

我公司将尽最大努力为您提供高品质、高稳定性的产品。尽管如此，由于一般半导体器件的电气敏感性及其易受到外部物理损伤等固有特性存在，所以难免造成半导体器件出现故障或失效的可能。当您使用我公司产品时，有责任按照本资料以及相连资料中提到的“规则”来设计一个稳定及安全可靠的系统环境。另外，在遇到超规格（本资料中未描述到内容）的使用，请您提前咨询我公司，以免因我公司产品在一些特殊设备中或者特殊环境下的使用，导致财产损失、人员伤亡等严重后果的发生。因超规格的使用、未经咨询授权我公司产品的使用，我公司对此不承担任何法律责任。

Shinongchu.com